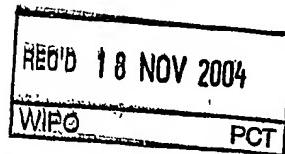


Rec'd PCT/PTO 19 OCT 2005

PCT/JP2004/013703

13.9.2004

日本国特許庁  
JAPAN PATENT OFFICE



※3

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application: 2003年 9月18日

出願番号  
Application Number: 特願2003-325811

[ST. 10/C]: [JP2003-325811]

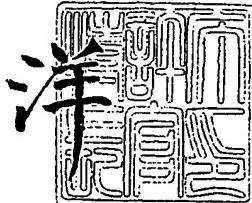
出願人  
Applicant(s): 松下電器産業株式会社

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年11月 4日

特許庁長官  
Commissioner,  
Japan Patent Office

小川洋



BEST AVAILABLE COPY

出証番号 出証特2004-3092914

【書類名】 特許願  
【整理番号】 2131150410  
【提出日】 平成15年 9月18日  
【あて先】 特許庁長官殿  
【国際特許分類】 G06F 12/00  
G06K 19/07  
  
【発明者】  
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
【氏名】 前田 阜治  
  
【発明者】  
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
【氏名】 井上 信治  
  
【発明者】  
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
【氏名】 後藤 芳稔  
  
【発明者】  
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
【氏名】 大原 淳  
  
【発明者】  
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
【氏名】 中西 雅浩  
  
【発明者】  
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
【氏名】 辻田 昭一  
  
【発明者】  
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
【氏名】 泉 智紹  
  
【発明者】  
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
【氏名】 笠原 哲志  
  
【発明者】  
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
【氏名】 田村 和明  
  
【発明者】  
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
【氏名】 松野 公則  
  
【発明者】  
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
【氏名】 堀内 浩一  
  
【発明者】  
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
【氏名】 井上 学  
  
【特許出願人】  
【識別番号】 000005821  
【氏名又は名称】 松下電器産業株式会社  
  
【代理人】  
【識別番号】 100097445  
【弁理士】  
【氏名又は名称】 岩橋 文雄

特願 03-325811

ペ: 2/E

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

**【書類名】特許請求の範囲****【請求項 1】**

半導体メモリカード外部に存在するアクセス装置と制御信号及びデータを送受信するホストインターフェース部と、

複数のセクタからなり、それら複数のセクタのうち連続する2の*i*乗個のセクタ(*i*は0以上の整数)がデータ消去の最小単位であるブロックとしてグループ化されている不揮発性メモリと、

前記不揮発性メモリに対するデータの消去、書き込み、読み込みを制御するメモリコントローラと、

前記不揮発性メモリのデータアクセス性能など、半導体メモリカードの特性に関する情報を格納するカード情報格納部を含む第1のメモリと、

を具備することを特徴とする半導体メモリカード。

**【請求項 2】**

前記カード情報格納部は、

前記半導体メモリカード内部の物理特性に関する情報と、

前記半導体メモリカードにアクセスする際のアクセス条件に関する情報と、

前記半導体メモリカードの転送レートなどのアクセス性能に関する情報と、

前記半導体メモリカードのエラー発生率などの異常系処理に関する情報のうち、

少なくとも1つの情報を格納することを特徴とする請求項2記載の半導体メモリカード。

**【請求項 3】**

前記半導体メモリカードは、

前記アクセス装置からの要求に応じ、前記半導体メモリカードに最速にアクセスするためのアクセス条件に関する情報と、

前記アクセス条件で半導体メモリカードにアクセスした際ににおけるアクセス性能に関する情報と、

を前記アクセス装置に送信することを特徴とする請求項2記載の半導体メモリカード。

**【請求項 4】**

前記半導体メモリカードは、

前記アクセス装置が指定したアクセス条件に関する情報に応じ、前記アクセス条件で前記半導体メモリカードにアクセスした際ににおけるアクセス性能に関する情報を前記アクセス装置に送信することを特徴とする請求項2記載の半導体メモリカード。

**【請求項 5】**

前記半導体メモリカードは、

前記アクセス装置が指定したアクセス性能に関する情報に応じ、前記アクセス性能を満たすために必要となる前記半導体メモリカードへのアクセス条件に関する情報を前記アクセス装置に送信することを特徴とする請求項2記載の半導体メモリカード。

**【請求項 6】**

前記半導体メモリカードは、

前記アクセス装置が指定したアクセス条件に関する情報と、アクセス性能に関する情報に応じ、前記アクセス条件で前記半導体メモリカードにアクセスした際に、前記アクセス性能が満たされるか判定し、判定結果を前記アクセス装置に送信することを特徴とする請求項2記載の半導体メモリカード。

**【請求項 7】**

前記半導体メモリカードは、

前記アクセス性能値の代わり、あるいは前記アクセス性能値に加えて、前記半導体メモリカードの速度性能を示すフラグを使用することを特徴とする請求項2から6のいずれか1項に記載の半導体メモリカード。

**【請求項 8】**

前記半導体メモリカードは、

前記アクセス性能値の代わり、あるいは前記アクセス性能値に加えて、前記半導体メモリカードの消費電力量を示すフラグを使用することを特徴とする請求項2から6のいずれか1項に記載の半導体メモリカード。

【請求項9】

前記半導体メモリカードは、

前記半導体メモリカードのアクセス性能に関する情報が最低限記載された表を前記カード情報格納部に格納し、前記表を前記アクセス装置に送信することで、前記アクセス装置において前記表を基にアクセス性能値を算出することを可能とすることを特徴とする請求項2記載の半導体メモリカード。

【請求項10】

前記半導体メモリカードは、

前記半導体メモリカードのアクセス性能値が記載された表を前記カード情報格納部に格納し、前記表を前記アクセス装置に送信することで、前記アクセス装置において前記半導体メモリカードのアクセス性能の認識を可能とすることを特徴とする請求項2記載の半導体メモリカード。

【請求項11】

複数のセクタからなり、それら複数のセクタのうち連続する $i$ 個のセクタ( $i$ は0以上の整数)がデータ消去の最小単位であるブロックとしてグループ化されており、格納されたデータがファイルシステムにより管理されている半導体メモリカードにアクセスするアクセス装置であって、

前記半導体メモリカードを装着するスロットと、

前記スロットに装着された前記半導体メモリカードの特性に関する情報を前記半導体メモリカードから取得するカード情報取得部と、

前記アクセス装置が前記半導体メモリカードにアクセスする際に使用可能なアクセス条件に関する情報と、半導体メモリカードに求めるアクセス性能に関する情報を格納するカード使用条件格納部と、

前記カード情報取得部が取得した前記半導体メモリカードの特性に関する情報と、前記カード使用条件格納部に格納された情報から、アクセス条件を決定するアクセス条件決定部と、

前記アクセス条件決定部が決定したアクセス条件を取得し、前記アクセス条件に適合したファイルアクセスを行うファイルシステム制御部と、

前記ファイルシステム制御部からのアクセス要求に応じて前記半導体メモリカードにアクセスするアクセス制御部と、

を具備することを特徴とするアクセス装置。

【請求項12】

前記アクセス条件決定部は、

前記アクセス条件として、前記半導体メモリカードにアクセスする際に最適なアクセス単位サイズを決定することを特徴とする請求項11記載のアクセス装置。

【請求項13】

前記ファイルシステム制御部は、

前記半導体メモリカードに対してファイルデータを記録するとき、前記半導体メモリカード上に構築されたファイルシステムの管理情報を基に、前記アクセス単位サイズの倍数長のアドレスから始まる前記アクセス単位サイズ倍数長の連続空き領域を決定し、前記半導体メモリカード上の前記決定した領域にファイルデータを記録することを特徴とする請求項12記載のアクセス装置。

【請求項14】

前記ファイルシステム制御部は、

前記半導体メモリカードに対して新しいファイル管理情報を記録するとき、前記半導体メモリカード上に構築されたファイルシステムの管理情報を基に、前記アクセス単位サイズの倍数長のアドレスから始まる前記アクセス単位サイズ倍数長の領域内に既に別のファ

イル管理情報が記録されており、かつ新しいファイル管理情報を書き込む空き領域が存在する場合に、前記空き領域をファイル管理情報の書き込み位置として決定し、前記半導体メモリカード上の前記決定した領域にファイル管理情報を記録することを特徴とする請求項12記載のアクセス装置。

【請求項15】

前記ファイルシステム制御部は、

前記半導体メモリカード上に構築されたファイルシステムの管理情報を基に、前記アクセス単位サイズの倍数長のアドレスから始まる前記アクセス単位サイズの領域が部分的に使用されている場合、他の部分的に使用されている領域と併合し、前記アクセス単位サイズの倍数長のアドレスから始まる前記アクセス単位サイズの領域が全て空き領域である領域を増加させることを特徴とする請求項12記載のアクセス装置。

【請求項16】

前記ファイルシステム制御部は、

前記半導体メモリカード上に構築されたファイルシステムの管理情報を基に、前記アクセス単位サイズの倍数長のアドレスから始まる前記アクセス単位サイズの領域が全て空き領域である領域の大きさを算出し、前記半導体メモリカードの空き領域長としてアプリケーションプログラムに値を通知することを特徴とする請求項12記載のアクセス装置。

【請求項17】

不揮発性メモリと、アクセス装置からの読み書き指示に応じて前記不揮発性メモリに読み書き制御を行うメモリコントローラとから構成される半導体メモリカードにおいて、前記アクセス装置からのデータ書き込み開始アドレス及びデータサイズに応じて、前記不揮発性メモリの無効ブロックを消去するか否かを決定することを特徴とする半導体メモリカード。

【請求項18】

不揮発性メモリと、アクセス装置からの読み書き指示に応じて前記不揮発性メモリに読み書き制御を行うメモリコントローラと、ホスト情報格納部とから構成される半導体メモリカードにおいて、前記ホスト情報格納部がアクセス装置から転送されたデータ書き込み開始アドレスとデータサイズを一時記憶し、前記メモリコントローラが前記ホスト情報格納部に一時記憶されたデータ書き込み開始アドレスとデータサイズの値に基づいて前記不揮発性メモリの無効ブロックを消去するか否かを決定する空きブロック生成部を備えたことを特徴とする半導体メモリカード。

【請求項19】

前記空きブロック生成部が、前記データサイズの量に応じて消去ブロック数を決定することを特徴とする請求項18記載の半導体メモリカード。

【請求項20】

前記不揮発性メモリが少なくとも2つの不揮発性メモリチップから成り、一方の不揮発性メモリチップへの書き込み処理をする期間に、他方の不揮発性メモリチップ内の無効ブロックを消去することを特徴とする請求項19記載の半導体メモリカード。

【請求項21】

請求項18記載の半導体メモリカードと接続され、前記半導体メモリカードに対してデータ書き込み命令と共にデータ書き込み開始アドレスとデータサイズを転送することを特徴とするアクセス装置。

【請求項22】

複数の不揮発性メモリと、アクセス装置からの読み書き指示に応じて前記複数の不揮発性メモリに読み書き制御を行うメモリコントローラとから構成される半導体メモリカードにおいて、前記アクセス装置から指定される前記複数の不揮発性メモリへの書き込みスピードモード（高速モード／低速モード）に応じて、前記メモリコントローラが前記複数の不揮発性メモリへのそれぞれの書き込み期間が重なるタイミングを制御することを特徴とする半導体メモリカード。

【請求項23】

複数の不揮発性メモリと、アクセス装置からの読み書き指示に応じて前記不揮発性メモリに読み書き制御を行うメモリコントローラと、ホスト情報格納部とから構成される半導体メモリカードにおいて、前記ホスト情報格納部がアクセス装置から転送された前記複数の不揮発性メモリへの書き込みスピードモード（高速モード／低速モード）を記憶し、前記メモリコントローラが前記複数の不揮発性メモリに対して並列書き込みを行う不揮発性メモリアクセス部を有し、前記不揮発性メモリアクセス部が前記ホスト情報格納部に記憶されたスピードモードに応じて前記複数の不揮発性メモリへのそれぞれの書き込み期間が重なるタイミングを制御することを特徴とする半導体メモリカード。

【請求項 24】

請求項 22 記載の半導体メモリカードと接続され、前記半導体メモリカードに対してデータ書き込み命令と共に前記複数の不揮発性メモリへの書き込みスピードモード（高速モード／低速モード）を転送することを特徴とするアクセス装置。

【請求項 25】

不揮発性メモリと、アクセス装置からの読み書き指示に応じて前記不揮発性メモリに読み書き制御を行うメモリコントローラとから構成される半導体メモリカードにおいて、前記メモリコントローラが前記アクセス装置の指示により、前記アクセス装置が転送する論理アドレスを前記不揮発性メモリの物理アドレスに変換するか否かを決定することを特徴とする半導体メモリカード。

【請求項 26】

不揮発性メモリと、アクセス装置からの読み書き指示に応じて前記不揮発性メモリに読み書き制御を行うメモリコントローラと、ホスト情報格納部とから構成される半導体メモリカードにおいて、前記ホスト情報格納部が前記アクセス装置から転送された論物変換スルーフラグを一時記憶し、前記メモリコントローラが前記ホスト情報格納部に一時記憶された論物変換スルーフラグが非アクティブの場合は前記アクセス装置から転送される論物アドレスを物理アドレスに変換し、一方前記論物変換スルーフラグがアクティブの場合は論物変換をせず前記アクセス装置から転送される論物アドレスを物理アドレスとする不揮発性メモリアクセス部を備えたことを特徴とする半導体メモリカード。

【請求項 27】

請求項 25 記載の半導体メモリカードと接続され、前記半導体メモリカードに対してデータ書き込み命令と共に論物変換スルーフラグを転送することを特徴とするアクセス装置。

【請求項 28】

不揮発性メモリと、アクセス装置からの読み書き指示に応じて前記不揮発性メモリに読み書き制御を行うメモリコントローラとから構成される半導体メモリカードにおいて、前記メモリコントローラが前記アクセス装置の指示により、空きブロック（消去済みブロック）を生成することを特徴とする半導体メモリカード。

【請求項 29】

不揮発性メモリと、アクセス装置からの読み書き指示に応じて前記不揮発性メモリに読み書き制御を行うメモリコントローラと、ホスト情報格納部とから構成される半導体メモリカードにおいて、前記メモリコントローラが前記不揮発性メモリの空きブロック（消去済みブロック）の残量及び各物理ブロックの書き込みセクタ数を検出すると共にそれらの検出結果に応じて前記アクセス装置に対してデフラグ要求信号を発行する空き物理領域生成部を備えることを特徴とする半導体メモリカード。

【請求項 30】

前記ホスト情報格納部が前記アクセス装置から転送されたデフラグ指示フラグを一時記憶し、前記空き物理領域生成部が前記デフラグ指示フラグに基づき前記不揮発性メモリに空きブロック（消去済みブロック）を生成することを特徴とする請求項 29 記載の半導体メモリカード。

【請求項 31】

請求項 30 記載の半導体メモリカードと接続され、前記半導体メモリカードに対して前記不揮発性メモリに空きブロック（消去済みブロック）を生成するデフラグ指示フラグを転

送することを特徴とするアクセス装置。

【請求項 3 2】

不揮発性メモリと、アクセス装置からの読み書き指示に応じて前記不揮発性メモリに読み書き制御を行うと共に前記不揮発性メモリのアドレス管理情報を記憶した揮発性メモリを有するメモリコントローラとから構成される半導体メモリカードにおいて、前記メモリコントローラが前記アクセス装置の指示により、前記アドレス管理情報を不揮発性メモリに書き込むことを特徴とする半導体メモリカード。

【請求項 3 3】

不揮発性メモリと、アクセス装置からの読み書き指示に応じて前記不揮発性メモリに読み書き制御を行うと共に前記不揮発性メモリのアドレス管理情報を記憶した揮発性メモリを有するメモリコントローラと、ホスト情報格納部とから構成される半導体メモリカードにおいて、前記ホスト情報格納部がアクセス装置から転送されたアドレス管理情報更新フラグを一時記憶し、前記メモリコントローラが前記アクセス装置が転送するユーザデータを前記不揮発性メモリに書き込み制御を行うと共に前記アドレス管理情報更新フラグがアクティブになった時に前記アドレス管理情報を前記不揮発性メモリに書き込む不揮発性メモリアクセス部を備えたことを特徴とする半導体メモリカード。

【請求項 3 4】

請求項 3 3 記載の半導体メモリカードと接続され、前記半導体メモリカードに対してアドレス管理情報更新フラグ転送することを特徴とするアクセス装置。

【請求項 3 5】

複数のセクタからなり、それら複数のセクタのうち連続する  $i$  乗個のセクタ ( $i$  は 0 以上の整数) がデータ消去の最小単位であるブロックとしてグループ化されており、格納されたデータがファイルシステムにより管理されている半導体メモリカードにアクセスするアクセス方法であって、

スロットに装着された前記半導体メモリカードの特性に関する情報を前記半導体メモリカードから取得するカード情報取得ステップと、

前記半導体メモリカードにアクセスする際に使用可能なアクセス条件に関する情報を、半導体メモリカードに求めるアクセス性能に関する情報を格納するカード使用条件格納ステップと、

前記カード情報取得ステップが取得した前記半導体メモリカードの特性に関する情報と、前記カード使用条件格納ステップで格納した情報から、アクセス条件を決定するアクセス条件決定ステップと、

前記アクセス条件決定ステップで決定したアクセス条件を取得し、前記アクセス条件に適合したファイルアクセスを行うファイルシステム制御ステップと、

前記ファイルシステム制御ステップからのアクセス要求に応じて前記半導体メモリカードにアクセスするアクセス制御ステップと、  
を具備することを特徴とするアクセス方法。

【請求項 3 6】

前記アクセス条件決定ステップは、

前記アクセス条件として、前記半導体メモリカードにアクセスする際に最適なアクセス単位サイズを決定することを特徴とする請求項 3 5 記載のアクセス方法。

【請求項 3 7】

前記ファイルシステム制御ステップは、

前記半導体メモリカードに対してファイルデータを記録するとき、前記半導体メモリカード上に構築されたファイルシステムの管理情報を基に、前記アクセス単位サイズの倍数長のアドレスから始まる前記アクセス単位サイズ倍数長の連続空き領域を決定し、前記半導体メモリカード上の前記決定した領域にファイルデータを記録することを特徴とする請求項 3 6 記載のアクセス方法。

【請求項 3 8】

前記ファイルシステム制御ステップは、

前記半導体メモリカードに対して新しいファイル管理情報を記録するとき、前記半導体メモリカード上に構築されたファイルシステムの管理情報を基に、前記アクセス単位サイズの倍数長のアドレスから始まる前記アクセス単位サイズ倍数長の領域内に既に別のファイル管理情報が記録されており、かつ新しいファイル管理情報を書き込む空き領域が存在する場合に、前記空き領域をファイル管理情報の書き込み位置として決定し、前記半導体メモリカード上の前記決定した領域にファイル管理情報を記録することを特徴とする請求項3 6記載のアクセス方法。

【請求項3 9】

前記ファイルシステム制御ステップは、

前記半導体メモリカード上に構築されたファイルシステムの管理情報を基に、前記アクセス単位サイズの倍数長のアドレスから始まる前記アクセス単位サイズの領域が部分的に使用されている場合、他の部分的に使用されている領域と併合し、前記アクセス単位サイズの倍数長のアドレスから始まる前記アクセス単位サイズの領域が全て空き領域である領域を増加させることを特徴とする請求項3 6記載のアクセス方法。

【請求項4 0】

前記ファイルシステム制御ステップは、

前記半導体メモリカード上に構築されたファイルシステムの管理情報を基に、前記アクセス単位サイズの倍数長のアドレスから始まる前記アクセス単位サイズの領域が全て空き領域である領域の大きさを算出し、前記半導体メモリカードの空き領域長としてアプリケーションプログラムに値を通知することを特徴とする請求項3 6記載のアクセス方法。

【請求項4 1】

請求項1 8記載の半導体メモリカードと接続され、前記半導体メモリカードに対してデータ書き込み命令と共にデータ書き込み開始アドレスとデータサイズを転送することを特徴とするアクセス方法。

【請求項4 2】

請求項2 2記載の半導体メモリカードと接続され、前記半導体メモリカードに対してデータ書き込み命令と共に前記複数の不揮発性メモリへの書き込みスピードモード（高速モード／低速モード）を転送することを特徴とするアクセス方法。

【請求項4 3】

請求項2 5記載の半導体メモリカードと接続され、前記半導体メモリカードに対してデータ書き込み命令と共に論物変換スルーフラグを転送することを特徴とするアクセス方法。

【請求項4 4】

請求項3 0記載の半導体メモリカードと接続され、前記半導体メモリカードに対して前記不揮発性メモリに空きブロック（消去済みブロック）を生成するデフラグ指示フラグを転送することを特徴とするアクセス方法。

【請求項4 5】

請求項3 3記載の半導体メモリカードと接続され、前記半導体メモリカードに対してアドレス管理情報更新フラグ転送することを特徴とするアクセス方法。

【書類名】明細書

【発明の名称】半導体メモリカード、アクセス装置及びアクセス方法

【技術分野】

【0001】

本発明は、半導体メモリカード、及び半導体メモリカードにアクセスするアクセス装置及びアクセス方法に関する。

【背景技術】

【0002】

音楽コンテンツや、映像データなどのデジタルデータを記録する記録媒体には、磁気ディスク、光ディスク、光磁気ディスクなど、様々な種類が存在する。これら記録媒体の1種類である半導体メモリカードは、記録素子としてFlashROMなどの半導体メモリを使用しており、記録媒体の小型化が図れることから、デジタルスチルカメラや携帯電話端末など、小型の携帯機器を中心に急速に普及しつつある。

【0003】

半導体メモリカードに格納されたデータはファイルシステムにより管理されており、ユーザは格納されたデータをファイルとして容易に取り扱うことができる。従来使用されているファイルシステムとして、FATファイルシステム（詳細は、非特許文献1参照）や、UDF（Universal Disk Format）（詳細は、非特許文献2参照）、NTFS（New Technology File System）などが存在する。これらファイルシステムによりデータが管理された半導体メモリカードは、同一のファイルシステムを解釈する機器間でファイルを共有することができるため、機器間でデータを授受することが可能となる。

【0004】

ファイルシステムでは、データを記録する情報記録領域を、最小アクセス単位であるセクタ、及びセクタの集合であるクラスタに分割して管理し、1つ以上のクラスタをファイルとして管理する。ファイルに含まれるデータが格納される領域は、空き領域からクラスタ単位で割り当てられ、1つのファイルに含まれるデータが必ずしも連続領域に格納されるとは限らない。連続領域に格納されていないファイルを読み書きする場合、読み書きの間にシーク動作が発生するため、連続領域に格納されたファイルに比べ、読み書き速度が低下するという問題があった。

【0005】

従来、このような問題を解決する方法として、画像処理装置において原稿1頁分のデータが連続領域に格納されるようにデータ書き込みを制御する方法が提案されている（例えば、特許文献1参照）。この従来の方法では、データ書き込み時に固定長の連続領域に必ずデータを書き込むことで、データ読み込み時に一定の処理時間で処理が完了することを保証できるようにしている。

【特許文献1】特開2002-29101号公報

【非特許文献1】ISO/IEC9293、“Information Technology - Volume and file structure of disk cartridges for information”, 1994年

【非特許文献2】OSTA Universal Disk Format Specification Revision 1.50, 1997年

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上記の従来技術には次のような問題点がある。従来の制御方法では、画像処理装置の処理単位である原稿1頁分のデータサイズを連続領域の単位として使用している。すなわち、アプリケーションが取り扱うデータに適したサイズを基に、連続領域の単位を決定している。この方法は、記録媒体への書き込み単位の違いにより書き込み速度に差が生じない記録媒体には有効である。しかしながら、半導体メモリカードでは、書き

込み単位が書き込み速度に大きく影響し、かつ書き込み単位と書き込み速度の関係は使用する半導体メモリの特性や管理方法により異なるため、全ての半導体メモリカードにおいて最適なアクセス方法は一意に定まらず、従来例のようにデータサイズを固定しても全ての半導体メモリカードに対し高速にアクセスすることはできない。

#### 【0007】

本発明では上記問題点に鑑み、半導体メモリカード内に半導体メモリカードのアクセス性能に関する情報を保持し、その情報を基にアクセス装置側、半導体メモリカード側のいずれか、あるいは両者の処理を効率化することにより、半導体メモリカードに対する高速アクセスを実現することを目的とする。

#### 【課題を解決するための手段】

##### 【0008】

前記課題を解決するために本発明の第1の発明は、半導体メモリカード内に半導体メモリカードのアクセス性能に関する情報を保持するカード情報格納部を備え、アクセス装置からその情報の全て、あるいは一部を取得可能とすることを特徴とする。

##### 【0009】

前記課題を解決するために第2の発明は、半導体メモリカードから半導体メモリカードのアクセス性能に関する情報を取得し、アクセス装置内のファイルシステム制御部において前記取得した情報を基にファイルシステムの処理内容を変更することを特徴とする。

##### 【0010】

前記課題を解決するために第3の発明は、不揮発性メモリと、アクセス装置からの読み書き指示に応じて前記不揮発性メモリに読み書き制御を行うメモリコントローラとから構成される半導体メモリカードにおいて、前記アクセス装置からのデータ書き込み開始アドレス及びデータサイズに応じて、前記不揮発性メモリの無効ブロックを消去するか否かを決定することを特徴とする。

##### 【0011】

前記課題を解決するために第4の発明は、複数の不揮発性メモリと、アクセス装置からの読み書き指示に応じて前記複数の不揮発性メモリに読み書き制御を行うメモリコントローラとから構成される半導体メモリカードにおいて、前記アクセス装置から指定される前記複数の不揮発性メモリへの書き込みスピードモード（高速モード／低速モード）に応じて、前記メモリコントローラが前記複数の不揮発性メモリへのそれぞれの書き込み期間が重なるタイミングを制御することを特徴とする。

##### 【0012】

前記課題を解決するために第5の発明は、不揮発性メモリと、アクセス装置からの読み書き指示に応じて前記不揮発性メモリに読み書き制御を行うメモリコントローラとから構成される半導体メモリカードにおいて、前記メモリコントローラが前記アクセス装置の指示により、前記アクセス装置が転送する論理アドレスを前記不揮発性メモリの物理アドレスに変換するか否かを決定することを特徴とする。

##### 【0013】

前記課題を解決するために第6の発明は、不揮発性メモリと、アクセス装置からの読み書き指示に応じて前記不揮発性メモリに読み書き制御を行うメモリコントローラとから構成される半導体メモリカードにおいて、前記メモリコントローラが前記アクセス装置の指示により、空きブロック（消去済みブロック）を生成することを特徴とする。

##### 【0014】

前記課題を解決するために第7の発明は、不揮発性メモリと、アクセス装置からの読み書き指示に応じて前記不揮発性メモリに読み書き制御を行うと共に前記不揮発性メモリのアドレス管理情報を記憶した揮発性メモリを有するメモリコントローラとから構成される半導体メモリカードにおいて、前記メモリコントローラが前記アクセス装置の指示により、前記アドレス管理情報を不揮発性メモリに書き込むことを特徴とする。

#### 【発明の効果】

##### 【0015】

本発明によれば、格納したデータをファイルシステムにより管理している半導体メモリカード、及び半導体メモリカードにアクセスするアクセス装置において、半導体メモリカード内に半導体メモリカードのアクセス性能に関する情報を保持し、その情報を基にアクセス装置側、半導体メモリカード側のいずれか、あるいは両者の処理を最適化することにより、半導体メモリカードに対する高速アクセスを実現することができる。

【発明を実施するための最良の形態】

【0016】

以下、本発明の半導体メモリカード、アクセス装置及びアクセス方法について、図面を参照しつつ説明する。

【0017】

(実施の形態1)

図1は本発明における半導体メモリカード、及びアクセス装置の実施の方法を示した図である。図1において、半導体メモリカード111は、ホストインターフェース部112(図面ではインターフェースをI/Fと記述)、CPU113、RAM114、ROM115、メモリコントローラ116、不揮発性メモリ117、第1のメモリ118、第2のメモリ119を含む。ホストインターフェース部112は、アクセス装置100と制御信号及びデータを送受信するインターフェースである。ROM115には半導体メモリカード111を制御するプログラムが格納されており、RAM114を一時記憶領域として使用し、CPU113上で動作する。メモリコントローラ116は半導体メモリカード111内のデータ記憶領域である不揮発性メモリ117を制御する素子である。メモリコントローラ116は、論物変換制御部120、空き物理領域生成部121、アドレス管理情報更新制御部122、不揮発性メモリアクセス部123を含み、実施の形態2以降で詳細説明を行う。不揮発性メモリ117は、不揮発性メモリ117内の物理アドレスとアクセス装置100がアクセスに使用する論理アドレスとの対応を管理した表であるアドレス管理情報126と、ユーザが半導体メモリカード111に記録したデータであるユーザデータ127とを含む。第1のメモリ118は更新可能な不揮発性メモリであり、半導体メモリカード111のアクセス性能に関する情報を格納するカード情報格納部124を含む。第2のメモリ119は更新可能な不揮発性メモリであり、半導体メモリカード111にアクセスするアクセス装置100に関する情報を格納するホスト情報格納部125を含み、実施の形態2以降で詳細説明を行う。

【0018】

一方、図1において半導体メモリカード111にアクセスするアクセス装置100は、CPU101、RAM102、ROM104、スロット103を含む。ROM104にはアクセス装置100を制御するプログラムが格納されており、RAM102を一時記憶領域として使用し、CPU101上で動作する。スロット103は、半導体メモリカード111とアクセス装置100との接続部であり、制御信号及びデータはスロット103を経由してアクセス装置100と半導体メモリカード111間で送受信される。更にROM104は、アプリケーションプログラム105、ファイルシステム制御部106、アクセス条件決定部107、カード情報取得部108、アクセス制御部109、カード使用条件格納部110を含み、実施の形態2以降で詳細説明を行う。

【0019】

統いて、半導体メモリカード111の記録素子として使用する半導体メモリの特徴について説明する。半導体メモリは、小型、軽量な情報記録媒体を構成することが可能であり、様々な技術分野における情報記録媒体としての確固たる地位を築きつつある。半導体メモリはEEPROMあるいはFlashROMと呼ばれる不揮発性メモリを情報記録用の素子として使用している(以降Flashメモリと記載)。特に多くの情報記録媒体で使用されるNAND型のメモリには、データを書き込む前に一旦書き込み先に記録されているデータを消去して、未記録の状態に戻してからデータ書き込みを行わなければならないという特徴がある。

【0020】

ここでデータを消去する単位は消去ブロックと呼ばれ、アクセスの最小単位であるセクタが複数個集まつたブロックとして管理されている。図2はFlashメモリにおける消去ブロックとセクタとの関係の一例を示した図である。図2の例では、1つの消去ブロックは32セクタから構成されており、アクセスはセクタ（例えば512バイト）単位で行うことが可能であるが、書き込みに先立ち必要となるデータの消去処理は消去ブロック（16KB）単位で行われる。

#### 【0021】

この半導体メモリカード111におけるデータ消去、書き込み処理の例を、図3、図4を用いて説明する。図3では、書き込み処理の一例として、消去ブロック倍数長のデータを書き込む場合における半導体メモリカード111内部の処理手順を示し、図4では1セクタのデータを書き込む場合における半導体メモリカード111内部の処理手順を示している。

#### 【0022】

図3におけるデータ記録処理では、先ずアクセス装置100から送信されたコマンドと引数を、ホストインターフェース部112を介して受信する（S301）。次に、受信したコマンドを参照し、自身が認識できない不正コマンドか否かを判定する（S302）。不正コマンドの場合、アクセス装置100にエラーを通知して処理を終了する（S303）。認識可能なコマンドの場合、そのコマンドが書き込みコマンドであるか判定する（S304）。書き込みコマンド以外の場合、各コマンドに対応した他の処理を実施する（S305）。書き込みコマンドの場合、引数に格納された書き込み位置、書き込みサイズの情報から、実際にFlashメモリにデータを書き込む消去ブロックの物理アドレスを決定する（S306）。次に、書き込みに先立ち、メモリコントローラ116を介して、Flashメモリに存在するS306で決定した消去ブロックに存在するデータを消去する（S307）。次に、アクセス装置100から1セクタ分のデータを、ホストインターフェース部112を介して受信する（S308）。データの受信を完了すると、受信した1セクタ分のデータを、メモリコントローラ116を介して、Flashメモリへ書き込む（S309）。S308、S309のデータ受信、書き込み処理を、1消去ブロック分のデータ書き込みが完了するまで繰り返し実施する（S310）。S306からS310までの1消去ブロック分のデータ書き込み処理を、アクセス装置100から指定された書き込みサイズ分のデータ書き込みが完了するまで繰り返し実施する（S311）。アクセス装置100から指定された書き込みサイズ分のデータ書き込みが完了した場合、処理を終了する。

#### 【0023】

図4におけるデータ記録処理において、図3の処理と異なる点は、S410において書き込みを行う消去ブロックに含まれるデータのうち、アクセス装置100からデータを受信する1セクタ以外のデータを、S406で決定した消去ブロックに書き込む点である。NAND型のメモリでは、データ書き込みに先立ち一旦データを消去する必要があり、この消去処理は消去ブロック単位でしか行えないため、1セクタのデータを書き込む場合でも、1消去ブロック分のデータ消去が必要であり、更にS410の処理のように同じ消去ブロックに含まれる既存データを新しい消去ブロックに書き戻す必要がある。

#### 【0024】

図3、図4で示したようにデータ記録処理では、大きく分けてコマンド解釈処理、データ消去処理、データ書き込み処理の3つの処理が存在する。例えば、コマンド解釈のオーバーヘッドに3m秒、1セクタの書き込み処理に $200\mu$ 秒、1消去ブロック（16KB）の消去処理に2m秒かかるFlashメモリを想定する。このFlashメモリの1消去ブロック（16KB）の書き込みでは図3に示す処理が実行され、コマンド解釈に3m秒、消去処理に2m秒、書き込み処理に $32 \times 200\mu$ 秒かかり、合計11.4m秒となる。同様に1セクタ（512B）の書き込みでは図4に示す処理が実行され、コマンド解釈に3m秒、消去処理に2m秒、書き込み処理に $200\mu$ 秒+ $31 \times 200\mu$ 秒かかり、合計11.4m秒となる。すなわち、16KBのデータを書き込んだ場合と1セクタのデ

ータを書き込んだ場合ではほぼ同じ時間がかかることになる。この例ではデータ転送時間などを考慮せず極端に性能差が出る場合について説明したが、実際のFlashメモリにおいても消去ブロック単位で書き込みを行った場合に書き込み時間が最短になる。

#### 【0025】

また、半導体メモリカード111では、記録素子として複数枚のFlashメモリを使用する場合がある。図5は、2枚のFlashメモリを使用した半導体メモリカード111の構成例を示した図である。図5に示す2枚のFlashメモリは、いずれも1つの消去ブロックが32セクタで構成されており、2枚のFlashメモリに存在する各セクタには、32セクタ単位で2枚のFlashメモリが交互に入れ替わるように昇順の物理セクタ番号が付与されている。これら複数枚のFlashメモリから構成されている半導体メモリカード111の場合、複数枚のFlashメモリに対して並列に読み書き処理ができるよう半導体メモリカード111を構成することで、高速アクセスを実現することが可能となる。例えば図5の例において物理セクタ番号0から63までの64セクタにデータを書き込む際に、消去ブロック0\_0、1\_0の2つの消去ブロックに対し並列にデータを書き込むことで、高速にデータを書き込むことが可能となる。

#### 【0026】

図6は、図5で示したFlashメモリ2枚で半導体メモリカード111を構成した場合における、1消去ブロック書き込み時のタイミング、2消去ブロック並列書き込み時のタイミングの一例を示した図である。図6においてT1は、1消去ブロックの書き込み処理にかかる時間を表す。また、T1' + T2'は2消去ブロックの並列書き込み処理にかかる時間を表す。すなわち、1消去ブロックずつ2回に分けてデータを書き込んだ場合の書き込み処理時間はT1 × 2となり、2消去ブロックの並列書き込みを行った場合の書き込み処理時間はT1' + T2'となる。T1'はFlashメモリに対する書き込みを伴わない処理にかかる時間であり、ごく僅かな時間となる。また、T2'は2枚のFlashメモリを並列に書き込む処理にかかる時間であり、1枚のFlashメモリに書き込むT1の処理に比べ多少時間はかかるものの、T1の2倍の時間まではかからないことから、図6の例では半導体メモリカード111に対し2消去ブロック単位で書き込んだ場合に書き込み時間が最短となる。すなわち、半導体メモリカード111への書き込み時間は、消去ブロックの大きさだけに依存するのではなく、半導体メモリカード111に使用するFlashメモリの枚数、Flashメモリの管理方法などにも依存し、半導体メモリカード111の世代や製造者の違いにより、半導体メモリカード111のアクセス性能は異なる。そのため、本実施の形態では、半導体メモリカード111毎に異なるアクセス性能に関する情報を半導体メモリカード111内に保持し、アクセス装置100が取得できるようにする。これにより、アクセス装置100が各半導体メモリカード111に最適なアクセス方法を認識し、半導体メモリカード111に高速にアクセスすることが可能となる。

#### 【0027】

統いて、本実施の形態におけるカード情報格納部124について説明する。カード情報格納部124は、半導体メモリカード111のアクセス性能に関する情報を格納する部位である。図7は、カード情報格納部124に格納される情報の一例を示した図である。以下、情報の種別毎に各項目の説明を行う。

#### 【0028】

カード情報に含まれる第1の情報は、半導体メモリカード111内部の物理特性に関する情報である。この情報には、半導体メモリカード111に使用するFlashメモリの種別や枚数、並列書き込みの有無などの半導体メモリ管理方法種別、Flashメモリの消去ブロックサイズ、半導体メモリカード111内の管理ブロックサイズ、温度条件、消費電力量、電流値、電圧値、半導体メモリカード111が準拠する規格のバージョンやサポートするコマンドセットなどカードの種類を判別するためのカード種別情報などが含まれる。これらの情報は、並列書き込みによる処理効率化に影響を及ぼすFlashメモリの枚数や、半導体メモリカード111に対する最適な処理単位サイズに影響を及ぼす消去

ブロックサイズなど、半導体メモリカード111のアクセス性能を決定する上で基礎となる情報を含む。

#### 【0029】

カード情報に含まれる第2の情報は、アクセス装置100から半導体メモリカード111にアクセスする際のアクセス条件に関する情報である。この情報には、処理種別、処理単位サイズ、処理単位境界、処理単位時間、アクセス方法、シーケンシャルアクセス時の最低連続領域サイズ、入力クロック周波数、ビット幅などが含まれる。処理種別は、半導体メモリカード111に対する処理の種別を示し、リード処理、ライト処理、イレース処理などが存在する。更にライト処理には既にデータが書き込まれている位置にデータを上書きする場合に必要となるイレース処理を含む書き込み処理と、データが存在しない位置にデータを書き込むだけの処理の2種類が存在する。処理単位サイズ、処理単位境界は、半導体メモリカード111に対する1回の処理サイズ、処理開始位置を示す情報である。先に説明したように、半導体メモリカード111に対する最適な処理単位サイズ、境界は、半導体メモリカード111内部で並列処理されるFlashメモリの枚数や管理方法、消去ブロックサイズなどに依存する。すなわち、半導体メモリカード111内部でFlashメモリが並列処理されない場合は、Flashメモリの消去ブロックサイズと処理単位サイズ、境界が同じ場合、効率的に半導体メモリカード111にアクセスすることが可能であり、複数枚のFlashメモリが並列処理されている場合は、並列処理の管理サイズと処理サイズ、境界が同じ場合に効率的にアクセスすることが可能となる。また、半導体メモリカード111に最適な処理単位境界が処理単位サイズの倍数長となる場合、処理単位境界を省略し、処理単位サイズを用いて境界を決定することも可能である。処理単位時間は、アクセス性能を表現する際に性能値の測定基準となる単位時間を示す情報である。アクセス方法は、アクセス装置100が半導体メモリカード111にアクセスする際のアドレス指定条件を示し、連続領域にアクセスを行うシーケンシャルアクセス、不連続領域にアクセスを行うランダムアクセスなどが存在する。Flashメモリが並列処理されている半導体メモリカード111において、並列処理が可能なデータサイズ単位で処理を行わず、消去ブロック単位などの更に小さな単位に分割して処理を行った場合でも、連続した領域に対してシーケンシャルに処理が行われれば、Flashメモリの管理方法によつては、ある程度高速な処理が行える。そのため、シーケンシャルアクセス時の最低連続領域サイズは、シーケンシャルアクセス時に高速アクセスするために必要な最低連続領域の大きさを示す。入力クロック周波数は、アクセス装置100と半導体メモリカード111間のコマンドやデータの送受信における基本クロックの周波数を示す情報である。ビット幅は、アクセス装置100と半導体メモリカード111間のデータ転送に使用する信号線のビット数を示す情報である。

#### 【0030】

カード情報に含まれる第3の情報は、半導体メモリカード111のアクセス性能そのものに関する情報である。この情報には、半導体メモリカード111の速度性能レベルを表現するフラグ、単位時間に処理可能なデータサイズ、単位サイズの処理を行う際にかかる時間、転送レート、カード内部の処理時間などが含まれる。これらの情報はいずれも半導体メモリカード111のアクセス性能を表現する情報であり、表現方法のみが異なる。更に、これらアクセス性能に関する情報は先に説明した第1の情報、第2の情報と密接に関係している。例えば、入力クロック周波数が低い場合、半導体メモリカードに入出力するデータの転送速度が低くなり、結果として半導体メモリカード111のアクセス性能が低くなる。また、半導体メモリカード111にアクセスする処理単位サイズが小さければ、消去ブロック単位でのアクセスが行えない、並列処理の効果が得られないなどの理由により、半導体メモリカード111のアクセス性能が低くなる。このように第3の情報であるアクセス性能に関する情報は、第1の情報、第2の情報に関連付けられた情報が格納されている。

#### 【0031】

カード情報に含まれる第4の情報は、半導体メモリカード111の異常系処理に関する

情報である。この情報には、リード、ライトなどの各処理におけるエラー発生確率、アクセス装置100がコマンドを半導体メモリカード111に発行してからエラー通知を受けるまでの時間の最悪値が含まれる。これらの情報は、アクセス装置100が異常系処理のために必要とするバッファサイズの見積りなどをを行う際に使用される。

#### 【0032】

カード情報に含まれる第5の情報は、半導体メモリカード111のアクセス性能に関するその他の情報である。この情報には、速度性能レベル判定基準、速度性能レベル、消費電力量レベルが含まれる。これらの情報の詳細は以下で説明する。

#### 【0033】

図7では、カード情報格納部124に含まれる可能性のある情報として、以上5種類の情報を挙げたものであり、これら情報の全てをカード情報格納部124に格納する場合、あるいはアクセス装置100と半導体メモリカード111間で最適なアクセスを行うために必要な情報を選択してカード情報格納部124に格納する場合がある。

#### 【0034】

本実施の形態の主眼とする所は、図7に示すような半導体メモリカード111のアクセス性能に関する情報を半導体メモリカード111内部に保持し、その情報の一部、あるいは全てをアクセス装置100が取得できるようにし、アクセス装置100から半導体メモリカード111に対して最適なアクセスを行えるようにする点である。以下では、半導体メモリカード111に対して最適なアクセスを行うために、アクセス装置100が半導体メモリカード111のアクセス性能を知るいくつかの方法を説明する。

#### 【0035】

第1の方法として、アクセス装置100からの要求に応じ、半導体メモリカード111に最適にアクセスするためのアクセス条件、アクセス性能値を半導体メモリカード111が返す方法について図8、図9、図10を用いて説明する。

#### 【0036】

図8、図9はそれぞれ、本方法におけるアクセス装置100側、半導体メモリカード111側の処理手順を示した図であり、図10は結果として半導体メモリカード111がアクセス装置100に返すアクセス条件、アクセス性能値の一例を示した図である。

#### 【0037】

まず始めに図8を用いてアクセス装置100側の処理手順を説明する。図8のアクセス装置100側の処理において、先ずアクセス装置100は半導体メモリカード111に対し、半導体メモリカード111のバージョンなどの情報であるカード種別情報を取得するためのコマンド（カード種別取得コマンド）を発行する（S801）。次に、発行したコマンドにより半導体メモリカード111からカード種別情報が取得できたか判定する（S802）。取得に失敗した場合、エラーが発生したと判断し処理を終了する（S803）。取得に成功した場合、取得した情報を基に、半導体メモリカード111に最適にアクセスするためのアクセス条件と、その際のアクセス性能値を半導体メモリカード111から取得するコマンド（最適アクセス情報取得コマンド）に対応した半導体メモリカード111であるか判定する（S804）。対応していない半導体メモリカード111であれば、アクセス条件、アクセス性能値の取得を中止して処理を終了する（S805）。対応している半導体メモリカード111であれば、最適アクセス情報取得コマンドを半導体メモリカード111に発行する（S806）。次に、発行したコマンドにより半導体メモリカード111からアクセス条件、アクセス性能値が取得できたか判定する（S807）。取得に失敗した場合、エラーが発生したと判断し処理を終了する（S808）。取得に成功した場合、処理を正常終了する。

#### 【0038】

次に図9を用いて半導体メモリカード111側の処理手順を説明する。図9（a）は、図8の説明におけるカード種別取得コマンドがアクセス装置100から発行された場合における半導体メモリカード111側の処理を示した図である。図9（b）は、図8の説明における最適アクセス情報取得コマンドがアクセス装置100から発行された場合における半導体メモリカード111側の処理を示した図である。

る半導体メモリカード111側の処理を示した図である。図9(a)の半導体メモリカード111側の処理において、先ず半導体メモリカード111はアクセス装置100からコマンドを受信する(S901)。次に、受信したコマンドを参照し、自身が認識できない不正コマンドか否かを判定する(S902)。不正コマンドの場合、アクセス装置100にエラーを通知して処理を終了する(S903)。認識可能なコマンドの場合、そのコマンドがカード種別取得コマンドであるか判定する(S904)。カード種別取得コマンド以外の場合、各コマンドに対応した他の処理を実施する(S905)。カード種別取得コマンドの場合、カード情報格納部124に格納されたカード種別情報を読み出す(S906)。最後に読み出したカード種別情報をアクセス装置100に送信し処理を終了する(S907)。同様に図9(b)の処理では、アクセス装置100から発行された最適アクセス情報取得コマンドに対応する処理を実行する。図9(b)の処理が図9(a)の処理と異なる点は、S911のステップにおいて、取得したコマンドが最適アクセス情報取得コマンドであるかを判定する点と、最適アクセス取得コマンドであった場合にS913のステップにおいて、半導体メモリカード111に最適にアクセスするためのアクセス条件と、その際のアクセス性能値をカード情報格納部124から読み出す点、S914のステップにおいて、読み出したアクセス条件、アクセス性能値をアクセス装置100に送信する点である。

#### 【0039】

このように図8、図9に記載した処理手順により、アクセス装置100は半導体メモリカード111から、半導体メモリカード111に最適にアクセスするためのアクセス条件と、その際のアクセス性能値を取得することが可能となる。図10は、このアクセス条件、アクセス性能値の一例を示した図である。アクセス条件は図10(a)に示すように、処理単位サイズや処理単位境界、アクセス方法、入力クロック周波数、ビット幅など、半導体メモリカード111に最適にアクセスするためにアクセス装置100が従うべき条件を示した情報である。またアクセス性能値は図10(b)に示すように、リード、ライト、イレースの各処理における転送レートの平均値、最悪値など、先のアクセス条件に従ったアクセスをアクセス装置100が行った場合の処理性能を示した情報である。これらの情報を半導体メモリカード111から取得することで、アクセス装置100はその半導体メモリカード111に最適にアクセスするにはどのようにアクセスしたら良いか、またその場合にどの程度のアクセス性能が得られるかを認識することができ、半導体メモリカード111の特性に応じた最適なアクセスを実現することが可能となる。

#### 【0040】

続いて第2の方法として、アクセス装置100がアクセス条件を半導体メモリカード111に入力し、アクセス性能値を半導体メモリカード111が返す方法について図11、図12、図13を用いて説明する。

#### 【0041】

図11、図12はそれぞれ、本方法におけるアクセス装置100側、半導体メモリカード111側の処理手順を示した図であり、図13はアクセス装置100が半導体メモリカード111に入力するアクセス条件、及び、半導体メモリカード111がアクセス装置100に返すアクセス性能値の一例を示した図である。

#### 【0042】

図11に示すアクセス装置100側の処理手順において、先に説明した第1の方法と異なる点は、最適アクセス情報取得コマンドがアクセス性能値取得コマンドに置き換わっている点である。本方法ではアクセス装置100がアクセス条件を半導体メモリカード111に入力するため、アクセス性能値取得コマンドはアクセス条件を引数にもつコマンドとなる。

#### 【0043】

次に、図12に示す半導体メモリカード111側の処理手順について説明する。第1の方法同様、本方法でもアクセス装置100はカード種別取得コマンドを発行するが、半導体メモリカード111側の処理は、図9(a)に示す処理と同じである。図12は、図1

1の説明におけるアクセス性能値取得コマンドがアクセス装置100から発行された場合における半導体メモリカード111側の処理を示した図である。図12の処理において、S1201からS1205までの処理は図9(b)の処理と同様であるため、説明を割愛する。ここまで処理により、半導体メモリカード111はアクセス装置100からアクセス性能値取得コマンドが発行されたことを認識する。その後、アクセス条件、アクセス性能値をカード情報格納部124から読み出す(S1206)。次に、読み出したアクセス条件とそれに対応するアクセス性能値を参照し、アクセス装置100がコマンドの引数で指定したアクセス条件に合致するアクセス性能値が存在するか判定する(S1207)。存在しない場合、アクセス装置100にエラーを通知して処理を終了する(S1209)。存在する場合、該当するアクセス性能値をアクセス装置100に送信し、処理を終了する(S1210)。

#### 【0044】

このように図11、図12に記載した処理手順により、アクセス装置100は半導体メモリカード111にアクセス条件を入力し、その条件に応じたアクセス性能値を取得することが可能となる。図13は、このアクセス条件、アクセス性能値の一例を示した図である。アクセス装置100が半導体メモリカード111に入力するアクセス条件は、図13(a)に示すように、処理単位サイズや処理単位境界、アクセス方法、入力クロック周波数、ビット幅など、半導体メモリカード111にアクセスする際の条件を示した情報である。また図13(b)に示すアクセス性能値は図10(b)と同様の情報であり、アクセス装置100が入力したアクセス条件に応じたアクセス性能値を示す。このように半導体メモリカード111にアクセスする際の条件を入力し、その条件に応じたアクセス性能値を半導体メモリカード111から取得することで、想定するアクセス方法により、所望のアクセス性能が得られるかをアクセス装置100が判定することが可能となる。

#### 【0045】

統いて第3の方法として、アクセス装置100がアクセス性能値を半導体メモリカード111に入力し、アクセス条件を半導体メモリカード111が返す方法について図14、図15を用いて説明する。

#### 【0046】

図14、図15はそれぞれ、本方法におけるアクセス装置100側、半導体メモリカード111側の処理手順を示した図である。図14、図15の処理手順において、先に説明した第2の方法と異なる点は、アクセス性能値取得コマンドがアクセス条件取得コマンドに置き換わっている点と、半導体メモリカード111に入力する情報と、半導体メモリカード111から出力する情報が入れ替わっている点である。

#### 【0047】

図14、図15に記載した処理手順により、アクセス装置100は半導体メモリカード111にアクセス性能値を入力し、その性能値に応じたアクセス条件を取得することが可能となる。本方法における、このアクセス条件、アクセス性能値の一例は図10に示される情報と同様である。本方法では、このように半導体メモリカード111にアクセスする際に要求する性能値を入力し、その性能値を満たすためにアクセス装置100が従うべきアクセス条件を半導体メモリカード111から取得することで、アクセス装置100は所望のアクセス性能を満たすためにどのように半導体メモリカード111にアクセスすれば良いか認識することができ、所望のアクセス性能でのアクセスを実現することが可能となる。

#### 【0048】

統いて第4の方法として、アクセス装置100がアクセス条件、アクセス性能値を半導体メモリカード111に入力し、入力されたアクセス条件でアクセスした場合に入力されたアクセス性能値を満たすことが可能かを半導体メモリカード111が返す方法について図16、図17を用いて説明する。

#### 【0049】

図16、図17はそれぞれ、本方法におけるアクセス装置100側、半導体メモリカ-

ド111側の処理手順を示した図である。図16に示すアクセス装置100側の処理手順において、先に説明した第1の方法と異なる点は、最適アクセス情報取得コマンドが最適アクセス可否判定コマンドに置き換わっている点である。本方法ではアクセス装置100がアクセス条件とアクセス性能値を半導体メモリカード111に入力するため、最適アクセス可否判定コマンドはアクセス条件とアクセス性能値を引数にもつコマンドとなる。また、コマンドの結果として半導体メモリカード111から得られる情報は、指定したアクセス条件でアクセスした場合に、指定したアクセス性能値が満たされるかの判定結果となる。

#### 【0050】

次に、図17に示す半導体メモリカード111側の処理手順について説明する。第1の方法同様、本方法でもアクセス装置100はカード種別取得コマンドを発行するが、半導体メモリカード111側の処理は、図9(a)に示す処理と同じである。図17は、図16の説明における最適アクセス可否判定コマンドがアクセス装置100から発行された場合における半導体メモリカード111側の処理を示した図である。図17の処理において、S1701からS1705までの処理は図9(b)の処理と同様であるため、説明を割愛する。ここまで処理により、半導体メモリカード111はアクセス装置100から最適アクセス可否判定コマンドが発行されたことを認識する。その後、アクセス条件、アクセス性能値をカード情報格納部124から読み出す(S1706)。次に、読み出したアクセス条件とそれに対応するアクセス性能値を参照し、アクセス装置100がコマンドの引数で指定したアクセス条件でアクセスした際に、同様に指定したアクセス性能値が満たされるか判定する(S1707)。アクセス性能値が満たされる場合、アクセス装置100にアクセス性能値が満たされる旨を通知して処理を終了する(S1709)。アクセス性能値が満たされない場合、アクセス装置100にアクセス性能値が満たされない旨を通知して処理を終了する(S1710)。

#### 【0051】

このように図16、図17に記載した処理手順により、アクセス装置100は半導体メモリカード111にアクセス条件とアクセス性能値を入力し、その条件で半導体メモリカード111にアクセスした場合にアクセス性能値が満たされるか確認することが可能となる。本方法における、このアクセス条件、アクセス性能値の一例は図13に示される情報と同様である。本方法では、このように半導体メモリカード111にアクセスする際の条件とアクセス性能値を入力し、その条件でアクセスした際に指定したアクセス性能値が満たされるか確認することで、アクセス装置100は想定するアクセス方法で所望のアクセス性能が満たされるか、アクセスに先立ち認識することができる。

#### 【0052】

統いて第5の方法として、半導体メモリカード111の速度性能のレベルを表現するフラグを、第1の方法から第4の方法に記載されているアクセス性能値の代わりにする、あるいはアクセス性能値内に含める方法について図18を用いて説明する。本方法における、アクセス装置100、半導体メモリカード111間の処理は、第1の方法から第4の方法に記載された処理のいずれかの処理を使用する。

#### 【0053】

図18は本方法における速度性能レベル判定基準の一例、及び、判定結果の一例を示した図である。図18(a)に示した速度性能レベル判定基準では、判定に用いる値としてリード、ライト、イレースの各処理における転送レートの平均値を使用しており、本判定基準に基づき、アクセス性能値は値に応じて“高速”、“中速”、“低速”的いづれかの速度性能レベルが割り当てられる。同様に転送レートの最悪値に関しても速度性能レベル判定基準が存在し、結果として、図18(b)の例では、各アクセス性能値に“高速”的速度性能レベルが割り当てられている。図18(a)で示した速度性能レベル判定基準はカード情報格納部124内に格納される。

#### 【0054】

本方法では、このように半導体メモリカード111のアクセス性能を数値だけではなく

、客観的なレベルに分類し、アクセス装置 100 が半導体メモリカード 111 からレベルを取得できるようにし、半導体メモリカード 111 のアクセス性能を容易に認識することが可能となる。

#### 【0055】

続いて第 6 の方法として、半導体メモリカード 111 の消費電力量のレベルを表現するフラグを、第 1 の方法から第 4 の方法においてアクセス装置 100 が半導体メモリカード 111 に入力する方法について図 19 を用いて説明する。本方法における、アクセス装置 100 、半導体メモリカード 111 間の処理は、第 1 の方法から第 4 の方法に記載された処理のいずれかの処理を使用する。ここでは一例として、第 1 の方法に適用した場合について説明する。本方法におけるアクセス装置 100 側の処理は図 8 に示した処理手順と同じである。しかしながらアクセス装置 100 が半導体メモリカード 111 に対して発行する最適アクセス情報取得コマンドの引数として、消費電力量のレベルを表現する消費電力量レベルを付加する点が異なる。消費電力量レベルは、半導体メモリカード 111 が消費する電力量の大小を複数のレベルに分割し表現したものであり、例えば“消費電力大”、“消費電力中”、“消費電力小”の 3 段階で表現するなどの方法を取る。

#### 【0056】

次に、図 19 に示す半導体メモリカード 111 側の処理手順について説明する。第 1 の方法と異なる点は、S1906 のステップにおいて、アクセス装置 100 から発行された最適アクセス情報取得コマンドの引数に指定された消費電力量レベルが有効な値であるか判定する点、S1908 のステップにおいて、指定された消費電力量レベルにおいて最適にアクセスするためのアクセス条件、アクセス性能値をカード情報格納部 124 から読み出す点である。すなわち、本方法では、カード情報格納部 124 に格納された情報が消費電力量レベルに対応付けられて複数存在していることを想定しており、アクセス装置 100 から指定された消費電力量レベルに応じた情報を選択してアクセス装置 100 に送信する。

#### 【0057】

本方法では、このように半導体メモリカード 111 からアクセス性能に関する情報を取得する際に、アクセス装置 100 が想定する消費電力量のレベルを表現する値を半導体メモリカード 111 に指定し、指定した消費電力量で半導体メモリカード 111 が動作した際のアクセス性能に関する情報をアクセス装置 100 が取得する。これにより、例えばアクセス装置 100 が半導体メモリカード 111 を低消費電力で駆動させたい場合に、必要となるアクセス条件や、その際のアクセス性能値を認識することが可能となる。

#### 【0058】

続いて第 7 の方法として、アクセス装置 100 の要求に応じて、アクセス性能値をアクセス装置 100 が算出するために最低限必要な情報を半導体メモリカード 111 が返す方法について、図 20 から図 24 を用いて説明する。

#### 【0059】

図 20 、図 21 はそれぞれ、本方法におけるアクセス装置 100 側、半導体メモリカード 111 側の処理手順を示した図である。図 22 は、半導体メモリカード 111 がアクセス装置 100 に返すアクセス性能基礎情報表の一例を示した図である。図 23 、図 24 は、アクセス装置 100 と半導体メモリカード 111 間におけるコマンド・レスポンスのタイミングの一例を示した図である。

#### 【0060】

図 20 に示すアクセス装置 100 側の処理手順において、先に説明した第 1 の方法と異なる点は、最適アクセス情報取得コマンドがアクセス性能基礎情報表取得コマンドに置き換わっている点、S2009 のステップにおいて、アクセス性能基礎情報表からアクセス性能値を算出する点、S2010 のステップにおいて、算出したアクセス性能値を基に自アクセス装置 100 が必要とするアクセス性能を満たすために必要なアクセス条件を算出する点である。これら 2 つのステップについては、本方法における半導体メモリカード 111 側の処理手順を説明した後、図 22 、図 23 、図 24 を用いて説明する。

**【0061】**

次に、図21に示す半導体メモリカード111側の処理手順について説明する。第1の方法同様、本方法でもアクセス装置100はカード種別取得コマンドを発行するが、半導体メモリカード111側の処理は、図9(a)に示す処理と同じである。図21は、図20の説明におけるアクセス性能基礎情報表取得コマンドがアクセス装置100から発行された場合における半導体メモリカード111側の処理を示した図である。図21の処理において、図9(b)の処理と異なる点は、カード情報格納部124から読み出す情報がアクセス条件、アクセス性能値からアクセス性能基礎情報表に置き換わっている点であり、処理の詳細説明は割愛する。

**【0062】**

次に、図22、図23、図24を用いてアクセス性能基礎情報表、及び、この表を用いてアクセス性能値を算出する方法について説明する。半導体メモリカード111のアクセス性能を表す数値として、転送レートなどが挙げられる。しかしながら、アクセス装置100、半導体メモリカード111間の転送レートを決定する要因は半導体メモリカード111だけに存在するのではなく、アクセス装置100側にも存在するため、実際の転送レートを導出するためにはアクセス装置100側の条件を加味する必要がある。本方法では、アクセス性能を決定する半導体メモリカード111側の要因に関する情報をアクセス装置100が取得できるようにし、アクセス装置100側の要因を加味してアクセス装置100がアクセス性能を算出することを可能とする。

**【0063】**

図22は、アクセス性能を決定する半導体メモリカード111側の要因に関する情報であるアクセス性能基礎情報表の一例を示す図であり、要因としてカード内部処理時間を使っている。次に、図22に示したアクセス性能基礎情報表を基にアクセス性能値を算出する方法について説明する。図23、図24は、アクセス装置100と半導体メモリカード111間におけるコマンド・レスポンスのタイミングの一例を示した図である。図23(a)はリード処理、図23(b)はライト処理、図24はイレース処理に対応している。図23(a)のリード処理におけるアクセス性能値は、RT1のコマンド発行処理時間、RT2のカード内部処理時間、RT3のデータ転送時間の合計を基に算出される。ここで、RT1、RT3はアクセス装置100が半導体メモリカード111に入力するクロック周波数に依存し決定される時間であり、アクセス装置100側で時間を算出することが可能である。一方RT2はカード内部処理にかかる時間であり、半導体メモリカード111に依存して決定される時間である。そのため、半導体メモリカード111から取得するアクセス性能基礎情報表には、このRT2を決定するために必要な情報を格納する。同様に図23(b)のライト処理におけるアクセス性能値は、WT1のコマンド発行処理時間、WT2のカード内部処理時間、WT3のデータ転送時間の合計を基に算出される。従ってリード処理と同様に、アクセス性能基礎情報表にはWT2を決定するために必要な情報を格納する。同様に図24のイレース処理におけるアクセス性能値は、ET1のコマンド発行処理時間、ET2のカード内部処理時間の合計を基に算出される。従ってリード処理と同様に、アクセス性能基礎情報表にはET2を決定するために必要な情報を格納する。

**【0064】**

ここでライト処理を一例としてアクセス性能値の算出例を説明する。アクセス性能値として単位サイズのデータ処理にかかる時間(全ライト時間: WT\_A)を算出する。WT\_Aは、 $WT_A = WT_1 + \sum WT_2 + \sum WT_3$  (式1) で求めることができる。

**【0065】**

ここでWT1はコマンド発行処理時間であり、コマンド入力からレスポンス取得完了までに必要なデータ転送量を160ビットとし、入力クロック周波数をs MHzとした場合、 $WT_1 = 160 / (s \times POW(10, 6))$  (式2) で求めることができる。

**【0066】**

ここでPOW(X, Y)は、XのY乗を意味する。次に、 $\sum WT_2$ はカード内部処理にかかる時間の総和であり、図22(b)に記載されたビジー時間をt(秒)、処理単位サ

イズを  $n$  (バイト) とした場合、 $\Sigma WT_2 = t \times n / 512$  (数式3) で求めることができる。

#### 【0067】

次に、 $\Sigma WT_3$  はデータ転送時間の総和であり、ビット幅として4ビットを使用し、転送データの正当性を確認するために付加するCRCを512バイトのデータに加算した場合の合計転送クロック数を  $1049$  クロックとした場合、 $\Sigma WT_3 = (1049 \times n / 512) / (s \times \text{POW}(10, 6))$  (数式4) で求めることができる。

#### 【0068】

従って、算出の一例として、入力クロック周波数を  $25\text{MHz}$ 、処理単位サイズを  $128\text{KB}$ 、シーケンシャルアクセスを想定した場合、 $t$  は  $9.2\mu\text{s}$  となり、 $WT\_A$  は  $1.1\text{ms}$  と算出される。

#### 【0069】

本方法では、このようにアクセス性能を決定する半導体メモリカード111側の要因に関する情報をアクセス装置100から取得し、アクセス装置100側の要因を加味してアクセス装置100がアクセス性能を算出することが可能となる。

#### 【0070】

続いて第8の方法として、アクセス装置100の要求に応じて、様々なアクセス条件におけるアクセス性能値の一覧を半導体メモリカード111が返す方法について、図25から図29を用いて説明する。

#### 【0071】

図25、図26はそれぞれ、本方法におけるアクセス装置100側、半導体メモリカード111側の処理手順を示した図である。図27、図28、図29は、半導体メモリカード111がアクセス装置100に返すアクセス性能表の一例を示した図である。

#### 【0072】

図25に示すアクセス装置100側の処理手順において、先に説明した第7の方法と異なる点は、アクセス性能基礎情報表取得コマンドがアクセス性能表取得コマンドに置き換わっている点、アクセス性能値の算出処理がない点であり、処理の詳細説明は割愛する。また、図26に示す半導体メモリカード111側の処理手順において、先に説明した第7の方法と異なる点は、アクセス性能基礎情報表がアクセス性能表に置き換わっている点であり、処理の詳細説明は割愛する。すなわち、本方法が第7の方法と異なる点は、アクセス装置100は半導体メモリカード111からアクセス性能そのものの情報を取得し、アクセス装置100側でアクセス性能を算出する必要がない点である。図27、図28、図29はそれぞれ、アクセス性能表の一例を示した図であり、図27は単位時間あたりに処理可能なデータサイズ、図28は単位サイズのデータ処理に必要な時間、図29は単位サイズでアクセスした際の処理速度としてアクセス性能を表現している。これらはアクセス性能の表現方法が異なるだけであり、いずれも半導体メモリカード111のアクセス性能を表現した情報である。

#### 【0073】

本方法では、このようにアクセス装置100がこれらのアクセス性能表を取得し、半導体メモリカード111に対するアクセス条件の一覧と、各アクセス条件でアクセスした際のアクセス性能値を認識することができる。これにより、アクセス装置100は自身が想定するアクセス条件でアクセスした場合のアクセス性能値がいくらであるか、あるいは自身が必要とするアクセス性能値を満たすためにどのようなアクセス条件でアクセスすれば良いか認識することが可能となる。

#### 【0074】

以上、説明したように本実施の形態における半導体メモリカード111は、アクセス装置100から半導体メモリカード111にアクセスする際の性能を、半導体メモリカード111内のカード情報格納部124に保持する。この情報の一部、あるいは全てを、アクセス装置100からの要求に応じ半導体メモリカード111がアクセス装置100に送信することで、アクセス装置100が半導体メモリカード111のアクセス性能を知ること

を可能とする。これにより、アクセス装置100が半導体メモリカード111に対して最適なアクセス方法でアクセスすることが可能となり、半導体メモリカード111の最高性能を引き出すことが可能となる。

#### 【0075】

尚、カード情報格納部124に格納された情報はそれぞれ更新可能としても良い。例えば、図18(a)に示すような速度性能レベル判定基準を、半導体メモリカード111の外部から入力し、更新することで、判定基準を後から変更できる構成としても良い。更に別の例として、半導体メモリカード111内部の状態が変化することにより、アクセス性能に関する情報が変化する場合は、半導体メモリカード111内で内部状態を監視しておき、内部状態の変化に応じてアクセス性能に関する情報を変更する構成としても良い。また、本実施の形態では、半導体メモリカード111の種別判定をアクセス装置100側における全ての処理の先頭で行う例を記載したが、半導体メモリカード111に最初にアクセスした際に1回だけ種別判定を行う構成としても良い。また、図7で示したアクセス性能に関する情報の全てを使用する必要はなく、一部のみを使用しても良いし、図7で示した情報の一部と他の情報とを組み合わせて使用しても良い。また、速度性能レベル、消費電力量レベルとして、それぞれ3種類のレベルに分けられる例について記載したが、3種類以外の複数種類に分割しても良い。また、アクセス性能表として図27、図28、図29の3種類の例を示したが、半導体メモリカード111のアクセス性能を示す情報であれば、その他の表現形式を用いても良く、更にこれら複数の表現形式を組み合わせて使用しても良い。また、カード情報が格納される第1のメモリ118を更新可能な不揮発性メモリとして説明したが、更新する必要がない場合はROMなどの更新不可能な不揮発性メモリを使用しても良い。また、第1のメモリ118ではなく、不揮発性メモリ117内にカード情報を格納する構成としても良い。

#### 【0076】

##### (実施の形態2)

本発明の実施の形態2では、カード情報格納部を備えた半導体メモリカードから、半導体メモリカードのアクセス性能に関する情報を取得し、アクセス装置におけるファイルシステム制御に使用する方法について説明する。

#### 【0077】

本実施の形態における半導体メモリカード、及びアクセス装置の構成は、図1に示す構成と同じであり、本実施の形態では特にアクセス装置100内に存在するファイルシステム制御部106、アクセス条件決定部107、カード情報取得部108、カード使用条件格納部110について詳細に説明する。

#### 【0078】

本実施の形態における詳細な説明を行う前に、半導体メモリカード111に格納されたデータを管理するために使用されるファイルシステムとして、FATファイルシステムを一例として説明する。図30にFATファイルシステムの構成を示す。図30のファイルシステム管理領域は、半導体メモリカード111内の不揮発性メモリ117におけるファイルシステムで管理する領域を意味し、図1でユーザデータ127と記載された領域の全領域、あるいは一部の領域に相当する。FATファイルシステムでは、ファイルシステム管理領域の先頭にファイルシステム管理領域の全体を管理するための管理情報領域3001が存在し、引き続いてファイル内のデータなどを格納するデータ領域3002が存在する。管理情報領域3001は、マスターブートレコード・パーティションテーブル3003、パーティションブートセクタ3004、FAT3005、3006、ルートディレクトリエントリ3007から構成される。

#### 【0079】

マスターブートレコード・パーティションテーブル3003は、ファイルシステム管理領域を複数のパーティションと呼ばれる領域に分割して管理するための情報を格納する部分である。パーティションブートセクタ3004は、1つのパーティション内の管理情報を格納する部分である。FAT3005、3006は、ファイルに含まれるデータの物理

的な格納位置を示す部分である。ルートディレクトリエンタリ3007は、ルートディレクトリ直下に存在するファイル、ディレクトリの情報を格納する部分である。また、FAT3005、3006は、ファイルに含まれるデータの物理的な格納位置を示す重要な領域であることから、通常、ファイルシステム管理領域内に2つの同じ情報を持つFAT3005、3006が存在し、二重化されている。

#### 【0080】

データ領域3002は複数のクラスタに分割され管理されており、各クラスタにはファイルに含まれるデータが格納されている。多くのデータを格納するファイルなどは、複数のクラスタに跨ってデータを格納しており、各クラスタ間の繋がりは、FAT3005、3006に格納されたリンク情報により管理されている。図31を用いてFATファイルシステムにおけるデータ格納例を説明する。データ領域3002は、クラスタと呼ばれる固定長ブロック単位で管理されており、各クラスタには2から始まる昇順のクラスタ番号が付与されている。FAT3005、3006は各クラスタの使用状況と、各クラスタ間の繋がりを示すリンク情報を管理しており、各クラスタ番号に対応したFATエントリから構成される。FATエントリは、FATファイルシステムの種別により、1クラスタあたり12ビット、16ビット、32ビットの3種類のうち、いずれかの大きさとなる。図31の例では16ビットで1エントリが表現される場合を示している。FATエントリには、次に繋がるクラスタのクラスタ番号、当該クラスタが空き領域であることを示す0x0000、当該クラスタがリンク終端であることを示す0xFFのいずれかの値が格納される。図31の例では、クラスタ番号2、5、7に対応するFATエントリに0x0000が格納されており、これら3つのクラスタが空き領域であることを示している。また、クラスタ番号3に対応するFATエントリに0x0004、クラスタ番号4に対応するFATエントリに0x0006、クラスタ番号6に対応するFATエントリに0xFFが格納されており、クラスタ番号3、4、6の3つのクラスタにデータが分割して格納されていることを示している。

#### 【0081】

次に図32、図33、図34を用いてFATファイルシステムにおけるファイルデータの書き込み例を説明する。図32はFATファイルシステムにおけるファイルデータ書き込みの処理手順を示した図である。図33、図34はそれぞれ、書き込み処理前、処理後のディレクトリエンタリ3301、FAT3005、3006、データ領域3002の一例を示した図である。FATファイルシステムでは、ルートディレクトリエンタリ3007やデータ領域3002の一部に、ファイル名やファイルサイズ、ファイル属性などの情報を格納したディレクトリエンタリ3301が格納されており、図33では(a)にディレクトリエンタリ3301の一例を示している。このディレクトリエンタリ3301で示されるファイルは、ファイル名がFILE1.TXTであり、クラスタ番号10からファイルのデータが格納されている。また、ファイルサイズは16000バイトであり、図33では1クラスタの大きさを4096バイトと仮定しており、4クラスタに跨ってファイルのデータが格納されている。

#### 【0082】

図32を用いて、ファイルデータ書き込み処理を説明する。ファイルデータ書き込み処理ではまず始めに対象ファイルのディレクトリエンタリ3301を読み込む(S3201)。次に、読み込んだディレクトリエンタリ3301に格納されたファイル開始クラスタ番号を取得し、ファイルデータの先頭位置を確認する(S3202)。次に、FAT3005、3006を読み込み、S3202で取得したファイルデータの先頭位置から順にFAT3005、3006上でリンクを辿り、書き込み位置のクラスタ番号を取得する(S3203)。次に、データ書き込みに際し、ファイルに新たに空き領域を割り当てる必要があるか判定する(S3204)。空き領域の割り当てが必要な場合S3206の処理に進む。空き領域の割り当てが必要な場合、FAT3005、3006上で空き領域を検索し、1クラスタの空き領域をファイルの終端に割り当てる(S3205)。次に、現在参照しているクラスタ内に書き込めるだけのデータをデータ領域3002に書き込む(S33)

206)。次に、全データの書き込みが完了したか判定する(S3207)。まだデータが残っている場合、S3204の処理に戻る。全データの書き込みが完了した場合、ディレクトリエンタリ3301内に格納されたファイルサイズやタイムスタンプなどを更新し、半導体メモリカード111に書き込む(S3208)。最後にFAT3005、3006を半導体メモリカード111に書き込み、処理を完了する(S3209)。

#### 【0083】

このファイルデータ書き込み処理により、図33に示された16000バイトのデータを持つFILE1.TXTに1000バイトのデータを更に書き込んだ場合、図34に示されるような17000バイトのデータを持つファイルに変化する。

#### 【0084】

このようにFATファイルシステムでは、ファイルデータの格納領域としてクラスタ単位で領域割り当てが行われ、データが格納される。また、1つのファイルに割り当てられる複数のクラスタは必ずしも連続しているとは限らず、不連続な領域が割り当てられる可能性があり、最悪の場合クラスタ単位に分割された不連続領域にファイルデータを書き込むことになる。この場合、半導体メモリカード111に対する1回のアクセスサイズは1クラスタ以下の大さとなり、半導体メモリカード111に対して最も高速にアクセスするためには必要なアクセス単位がクラスタサイズよりも大きい場合、半導体メモリカード111の最高性能でアクセスすることができなくなる。

#### 【0085】

本実施の形態では、半導体メモリカード111からアクセス性能に関する情報を取得し、ファイルシステムの処理に使用することで、半導体メモリカード111に最適なアクセス方法でファイルアクセスする方法を提供する。

#### 【0086】

続いて本実施の形態におけるファイルシステムアクセス単位決定処理について説明する。ファイルシステムアクセス単位(以降、FSアクセス単位と記載)とは、ファイルシステムが領域管理を行う管理単位として通常使用するクラスタとは別に、本実施の形態で新たに設けた管理単位である。クラスタの大きさはファイルシステムを使用する機器間の互換性のため、上限値が設けられており、容易に大きさを変更することはできない。しかしながら半導体メモリカード111に最適にアクセスするために必要なアクセス単位はクラスタの上限サイズ以内の大きさであるとは限らない。そのため本実施の形態では、クラスタの他に半導体メモリカード111から取得するアクセス性能に関する情報に基づいて設定されるFSアクセス単位という新たな領域管理単位を設け、ファイルシステムの処理に使用することで、既存のファイルシステムとの互換性を保つつつ、半導体メモリカード111の特性に応じたアクセスの実現を可能とする。

#### 【0087】

図35を用いて、本実施の形態におけるFSアクセス単位決定処理について説明する。図35は、ファイルシステム制御部106がアクセス条件決定部107からFSアクセス単位を取得する処理手順の一例を示した図である。図35において、先ずファイルシステム制御部106からアクセス条件決定部107へFSアクセス単位取得を要求する(S3501)。次に、アクセス条件決定部107からカード情報取得部108へカード情報取得を要求する(S3502)。次に、実施の形態1で説明したいずれかの方法を用いて、カード情報取得部108が半導体メモリカード111からカード情報を取得する(S3503)。カード情報の取得に失敗した場合、カード情報取得部108からアクセス条件決定部107を経由してファイルシステム制御部106にエラーを通知し、処理を終了する(S3505)。取得に成功した場合、カード情報取得部108からアクセス条件決定部107へカード情報を送信する(S3506)。次に、アクセス条件決定部107はカード使用条件格納部110から、アクセス装置100が半導体メモリカード111にアクセスする際のアクセス条件や、所望するアクセス性能値などの情報であるカード使用条件を取得する(S3507)。次に、カード情報、カード使用条件を比較し、カード使用条件に適した処理単位サイズが存在するか判定する(S3508)。半導体メモリカード111

1がカード使用条件で示されたアクセス性能値を満たすことができない場合など、適切な処理単位サイズが存在しなかった場合、ファイルシステム制御部106にエラーを通知して処理を終了する(S3510)。適切な処理単位サイズが存在した場合、その処理単位サイズをFSアクセス単位に決定し、アクセス条件決定部107からファイルシステム制御部106へ送信し、処理を終了する(S3511)。

[0088]

【0006】  
このように本実施の形態では、カード情報と、カード使用条件を比較し、半導体メモリカード111にアクセスする最適なアクセス単位としてFSアクセス卖位を決定する。例えば16KB卖位でのアクセスでは6MB/s、128KB卖位でのアクセスでは10MB/sのアクセス性能となる半導体メモリカード111を想定する。ここでアクセス装置100が8MB/sのアクセス性能を必要とする場合、FSアクセス卖位を128KBと決定し、このFSアクセス卖位毎に半導体メモリカード111にアクセスすることで、所望のアクセス性能を得ることが可能となる。また、カード使用条件の一例としては、図13に示すようなアクセス条件と、アクセス性能値が挙げられる。すなわち、図13のアクセス条件は、アクセス装置100が半導体メモリカード111に対して想定しているアクセス方法に関する条件を示した情報であり、アクセス性能値は先の条件で半導体メモリカード111にアクセスした際に求めるアクセス性能の値である。これらアクセス性能に関する情報をアクセス装置100が保持することで、半導体メモリカード111が自己の要する情報をアクセス装置100が満たすことが可能か判定することが可能となる。

[0089]

また、図35で示した処理手順は、実施の形態1で示した第1の方法のように、アクセス装置100がアクセス条件、アクセス性能値に関する情報を入力しない場合における処理手順である。実施の形態1で示した第2の方法のように、アクセス装置100がアクセス条件、アクセス性能値を入力する必要がある場合、図35の処理においてステップS3501とS3502の間に、アクセス条件決定部がカード使用条件格納部110からカード使用条件を取得してカード情報取得部108に通知するステップが付加される。

[0090]

以下では、図3.5に示す処理手順により決定したFSアクセス単位をファイルシステムの処理に使用するいくつかの方法について説明する。

[0091]

第1の方法として、FSアクセス単位を意識してファイルシステムをフォーマットする方法について説明する。図3-6はFSアクセス単位を意識してファイルシステムがフォーマットされた場合の構成例を示す。図3-6においてMBR・PTはマスターブートレコード・パーティションテーブル3003、PBSはパーティションブートセクタ3004、RDEはルートディレクトリエンタリ3007を示す。本実施の形態では、マスターブートレコード・パーティションテーブル3003からルートディレクトリエンタリ3007までの管理情報領域3001の大きさを調整し、FSアクセス単位の倍数長になるように設定する。これにより、データ領域3002の先頭がFSアクセス単位境界と一致し、以降のデータ領域3002の領域管理をFSアクセス単位で無駄なく実現することが可能となる。更に、FSアクセス単位はクラスタサイズの倍数長となるように設定する。これにより、データ領域3002内の領域管理をFSアクセス単位倍数長で行いつつ、クラスタ単位の領域管理と整合させることが可能となる。

[0092]

続いて第2の方法として、FSアクセス単位を意識したファイルデータ書き込み方法について説明する。図37は、本方法におけるファイルデータ書き込み処理手順を示した図である。ファイルデータ書き込み処理では、先ず残り書き込みデータ長がFSアクセス単位長以上存在するか判定する(S3701)。FSアクセス単位長未満の場合、S3701の処理に進む。FSアクセス単位長以上の場合は、半導体メモリカード111への書き込みに先立ち、FSアクセス単位長のデータを作成する(S3702)。次に、FSアクセス単位毎にFAT3005、3006上で空き領域を検索し、FSアクセス単位内に含

まれる領域が全て空きクラスタである領域を取得する（S3703）。空き領域が存在しなかった場合、エラーを通知し処理を終了する（S3705）。空き領域が存在した場合、取得した空き領域にFSアクセス単位長のデータを一括して書き込む（S3706）。次に、全データの書き込みが完了したか判定する（S3707）。書き込みが完了していない場合、S3701の処理に戻る。書き込みが完了した場合、処理を終了する。またS3701で残りデータ長がFSアクセス単位未満と判定した場合、FSアクセス単位未満の残りデータを作成する（S3708）。次に、S3703のステップと同様にFSアクセス単位内に含まれる領域が全て空きクラスタである領域を取得する（S3709）。空き領域が存在しなかった場合、エラーを通知し処理を終了する（S3711）。空き領域が存在した場合、取得した空き領域に残りデータを一括して書き込み、処理を終了する（S3712）。

#### 【0093】

図38のようなデータ配置となっている場合、本方法ではファイルデータ書き込み領域としてFSアクセス単位2の領域（クラスタ番号18から25までの領域）を選択する。すなわち、ファイルデータや、ディレクトリの情報がFSアクセス単位内に1クラスタでも存在するFSアクセス単位0や、FSアクセス単位1の領域はファイルデータ書き込み領域として使用しない。従って、ある程度大きなファイルサイズを有するファイルのデータは、必ずFSアクセス単位の連続領域を確保されるため、半導体メモリカード111に對して最適なアクセス単位で高速にアクセスすることが可能となる。

#### 【0094】

統いて第3の方法として、FSアクセス単位を意識したディレクトリ領域割り当て方法について説明する。図39は、本方法におけるディレクトリ領域割り当て処理手順を示した図である。ディレクトリ領域割り当て処理では、先ず現在参照位置をデータ領域先頭に設定する（S3901）。次に、現在参照しているFSアクセス単位内にディレクトリ領域が存在するか判定する（S3902）。存在しない場合、S3905の処理に進む。存在する場合、現在参照しているFSアクセス単位内に空きクラスタが存在するか判定する（S3903）。存在しない場合、S3905の処理に進む。存在する場合、その空きクラスタをディレクトリ領域に割り当て、処理を終了する（S3904）。S3902、S3903の判定で領域が存在しなかった場合、データ領域3002の全てに対して確認が完了したか判定する（S3905）。完了していない場合、現在参照位置を次のFSアクセス単位に設定し、S3902の処理に戻る（S3906）。完了した場合、全データ領域3002からFSアクセス単位内に含まれる領域が全て空きクラスタである領域を取得する（S3907）。空き領域が存在する場合、取得した領域に含まれる1つの空きクラスタをディレクトリ領域に割り当て、処理を終了する（S3909）。空き領域が存在しない場合、全データ領域から空きクラスタを取得する（S3910）。空き領域が存在しない場合、エラーを通知して処理を終了する（S3912）。空き領域が存在する場合、取得した空きクラスタをディレクトリ領域に割り当て、処理を終了する（S3913）。

#### 【0095】

図40のようなデータ配置となっている場合、本方法ではディレクトリ領域割り当てのために、既にディレクトリ領域を含むFSアクセス単位である、FSアクセス単位1に含まれる空きクラスタを割り当てる。このようにディレクトリ領域を割り当てることで、ディレクトリ領域が同一のFSアクセス単位内に優先的に格納され、結果的にFSアクセス単位長の空き領域を生じ易くなる。これにより、第1の方法によるファイルデータの連続領域確保が効果的に行えるようになる。

#### 【0096】

統いて第4の方法として、FSアクセス単位を意識したデフラグを行う方法について説明する。デフラグとは、記録媒体内に分散配置されたファイルデータを、連続領域に配置されるように再配置し、ファイルデータへのアクセスを高速に行えるようにする処理である。本方法では、このデフラグ処理において、FSアクセス単位を意識したデフラグを行う。図41はデフラグ処理前のデータ配置の一例を示した図である。この例では、3つ

FSアクセス単位のいずれにもファイルデータ、あるいはディレクトリ領域が格納されており、第1の方法におけるFSアクセス単位の空き領域取得では、空き領域を取得することができない。ここでFSアクセス単位を意識したデフラグ処理により、FSアクセス単位2に含まれるディレクトリ領域をFSアクセス単位1の空き領域に移動し、ディレクトリ領域をFSアクセス単位1に集める。更にFSアクセス単位2のファイルデータをFSアクセス単位0の空き領域に移動し、ファイルデータをFSアクセス単位0に集める。その結果、図42に示すようなデータ配置に変更され、FSアクセス単位2が全て空き領域となり、第1の方法におけるFSアクセス単位の空き領域取得で、ファイルデータ用の空き領域として割り当てることが可能となる。

#### 【0097】

すなわち本方法では、デフラグ処理において、ディレクトリ領域を同一のFSアクセス単位に集め、更にFSアクセス単位サイズ未満のファイルデータを同一のFSアクセス単位に集めることで、可能な限りFSアクセス単位倍数長の空き領域を生成する。これにより、第1の方法によるファイルデータの連続領域確保が効果的に行えるようになる。また、記録媒体内でファイルデータ格納などに使用されている全領域を1つの連続領域に併合し空き領域全体を1つの連続領域とする必要はなく、あくまでFSアクセス単位倍数長の空き領域を生成することを目的としデフラグ処理を行うことで、デフラグ処理にかかる時間を短縮することが可能である。

#### 【0098】

続いて第5の方法として、FSアクセス単位の残り空き領域長を取得する方法について説明する。図43は、本方法における残り空き領域長取得処理手順を示した図である。残り空き領域長取得処理において、先ず空きFSアクセス単位数に0を設定する(S430)。次に現在参照しているFSアクセス単位内が全て空きクラスタであるか判定する(S4302)。全て空きクラスタであった場合、空きFSアクセス単位数に1加算する(S4304)。次に全領域の確認が完了したか判定する(S4305)。完了していない場合、現在参照位置を次のFSアクセス単位に設定し、S4303の処理に戻る。管理している場合、空きFSアクセス単位数に格納されている数値をバイト数に換算し、アプリケーションプログラム105に通知して、処理を終了する(S4307)。

#### 【0099】

本方法の残り空き領域長取得処理では、例えば図44に示すようにデータが配置されている場合、FSアクセス単位内の全ての領域が空きクラスタである3つのFSアクセス単位を空き領域と判定する。

#### 【0100】

本方法では、このようにFSアクセス単位長の空き領域の個数を算出し、アプリケーションプログラム105に通知することで、アプリケーションプログラム105がFSアクセス単位の残り空き領域長を認識することが可能となる。これにより、アクセス装置100が必要とするアクセス性能を満たしたアクセスをFSアクセス単位毎に行う際に、そのアクセス性能で残りどれだけのデータを書き込めるか認識することが可能となる。

#### 【0101】

以上、説明したように本実施の形態におけるアクセス装置100は、半導体メモリカード111からアクセス性能に関する情報を取得し、最適なアクセス単位を決定し、ファイルシステムの処理にそのアクセス単位を使用することで、アクセス装置100が半導体メモリカード111に対して最適なアクセス方法でアクセスすることが可能となり、半導体メモリカード111の最高性能を引き出すことが可能となる。

#### 【0102】

尚、本実施の形態では、ファイルシステム制御部106以下を全てアクセス装置100のROM104上のプログラムで実現している例について記載したが、それら機能の全部、あるいは一部をハードウェア化し、アクセス装置100に付加した構成としても良い。例えば、図45に示すように、ROM104内にはアプリケーションプログラム105の

みが格納され、ファイルシステム制御部106、アクセス条件決定部107、カード情報取得部108、アクセス制御部109、カード使用条件格納部110をハードウェア化し、半導体メモリカード制御LSI4501としてアクセス装置100に付加する構成としても良い。図45で示した構成は一例であり、半導体メモリカード制御LSI4501にFSアクセス単位を設定することで、以降の半導体メモリカード111に対するデータ転送を自動的にFSアクセス単位にまとめてデータ送信する機能など、本実施の形態で説明した機能の一部のみをハードウェア化しても良い。また、本実施の形態ではファイルシステムの一例としてFATファイルシステムを用いて説明したが、一定の管理単位サイズ毎に領域管理を行うファイルシステムであれば、UDFなど他のファイルシステムを用いても良い。また図37のファイルデータ書き込み処理において、FSアクセス単位の空き領域が存在しない場合、書き込み処理をエラーとしたが、FSアクセス単位以下の空き領域を取得しデータを書き込むようにしても良い。また図43の残り空き領域長取得処理において、残り空き領域長をバイト数に換算して通知する例を示したが、残り空き領域長が正しく認識できればセクタ数やクラスタ数に換算して通知しても良い。

#### 【0103】

##### (実施の形態3)

図46は、本発明の実施の形態3における実施の方法を示した図である。図46において4601は不揮発性メモリであり、内部に2つの不揮発性メモリ（不揮発性メモリチップA、不揮発性メモリチップB）が存在する。4602はメモリコントローラである。その他のブロックは図1と同様である。不揮発性メモリ4601にはアドレス管理情報126とユーザデータ127が記憶される。尚、不揮発性メモリチップA、Bはそれぞれ独立の双方向バスでメモリコントローラ4602と接続される。

#### 【0104】

図47は論物変換制御部120を示した説明図である。論物変換制御部120は、アクセス装置100から指定された論理アドレスから物理アドレスへの変換処理及び各物理ブロックの状態を管理するテーブルである。（a）は論理セクタアドレスを物理セクタアドレスに変換する論物変換テーブルであり、（b）は各物理ブロックが有効か無効かあるいは不良ブロックかを示すエントリテーブルである。両者共RAMなどの揮発性メモリに記憶されている。図47（a）において前半（論理アドレスが0～N-1まで）は不揮発性メモリチップAに対応するテーブル領域であり、一方、後半（論理アドレスがN～2N-1まで）は不揮発性メモリチップBに対応するテーブル領域である。同様に図47（b）において前半（物理ブロックアドレスが0～M-1まで）は不揮発性メモリチップAに対応するテーブル領域であり、一方、後半（物理ブロックアドレスがM～2M-1まで）は不揮発性メモリチップBに対応するテーブル領域である。即ち不揮発性メモリ4601は論理空間として2Nセクタの空間をもち、不揮発性メモリチップAと不揮発性メモリチップBは論理的に連続であるものとする。

#### 【0105】

図48は、各不揮発性メモリチップA、Bに配列されたイレーズブロック（選択的に消去できる単位）の構成を示した説明図である。1セクタ528バイトであり、全32セクタで構成される。各セクタ領域は、いわゆるユーザデータを書き込むデータ領域と、対応する論理アドレスや対応するデータ領域に格納されたデータが有効なものか無効なものかあるいは不良ブロックかを表すフラグなどのアドレス管理情報を書き込む管理領域とから構成される。尚、図47（a）の論物変換テーブルや図47（b）のエントリテーブルは、電源ON直後の初期化時において、不揮発性メモリチップA、Bの各イレーズブロックの管理領域に格納された情報をCPU113が読み出し、論物変換制御部120中のRAM上に作成されるものである。

#### 【0106】

図49は空き物理領域生成部121の処理を示したフローチャートである。

#### 【0107】

図50は不揮発性メモリアクセス部123の不揮発性メモリ4601へのアクセス形態

を示したタイムチャートである。

【0108】

以上のように構成された半導体メモリカード、及びアクセス装置について、以下図49、図50を中心にその動作を説明する。まずアクセス装置100が書き込み命令と共にその開始セクタアドレスSAと書き込みサイズLを半導体メモリカード111に転送する。開始セクタアドレスSAと書き込みサイズLは、ホスト情報格納部125に一時記憶される。メモリコントローラ4601はホスト情報格納部125に一時記憶された開始セクタアドレスSAと書き込みサイズL及び、不揮発性メモリチップ4601の前半／後半領域の境界を表すパラメータ（セクタアドレスナンバーN）に基づき、前半領域（半導体メモリチップA）のみへの書き込みか、後半領域（半導体メモリチップB）のみへの書き込みか、あるいは、両者を跨ぐ書き込みかを判断する、図49のメインルーチンの左側が、前半領域（半導体メモリチップA）のみへの書き込み、図49のメインルーチンの右側が、後半領域（半導体メモリチップB）のみへの書き込み、図49のメインルーチンの中央が両者を跨ぐ書き込みに対応する。図50は前半領域（半導体メモリチップA）のみへの書き込みの場合において、書き込みサイズが4KBの場合のタイムチャートを示す。前半領域（半導体メモリチップA）のみへの書き込みシーケンスにおいて、ライトコマンド発行期間は不揮発性メモリチップAへの書き込み指示と書き込み先アドレスを転送する期間、プログラムデータ転送期間は書き込みデータを不揮発性メモリチップAへ転送する期間、プログラムビジー期間は、書き込みデータを不揮発性メモリチップAへプログラム（書き込む）期間である。一方、図50の後半領域（不揮発性メモリチップB）へのアクセスシーケンスは消去コマンド発行期間（不揮発性メモリチップBへの消去指示及び消去対応ブロックアドレスの指定）と、消去ビジー期間（消去対応ブロックの消去）とからなる。ここで不揮発性メモリとしてNANDフラッシュメモリなどを使用した場合、プログラムビジー時間に對して消去ビジー時間が長い（例えば2msec）。本実施の形態3においては書き込みサイズが4KBの時に2msec（消去時間に相当）を要する例としており、書き込みサイズが512B単位で8回、即ち4KB以上か否かで書き込み対象の不揮発性メモリチップ以外の不揮発性メモリチップ（ここでは不揮発性メモリチップB）を消去するかどうかを、不揮発性メモリアクセス部123が判断（消去コマンドを発行するかどうかを決定）し、更に図47（b）のエントリテーブルを参照して無効ブロック（2進数で11）のブロックを消去ブロック対象とする。以上の処理により、不揮発性メモリチップAへの書き込みサイズが4KB以上の場合は、不揮発性メモリチップBの消去時間が隠蔽され、全体的な処理パフォーマンスを合理化することができる。更に書き込みサイズLに相当する容量（Lセクタ×512B）に対して4KBの商をとることにより（図8を参照）、処理パフォーマンスを低下させる事なく出来るだけ多くの消去を実施することができる。図50では不揮発性メモリチップAへの書き込み（不揮発性メモリチップBの消去）の例を示したが、図49のフローチャートに従えば、逆に不揮発性メモリチップBの書き込み（不揮発性メモリチップAの消去）、あるいは前後半領域（不揮発性メモリチップA/B）を跨ぐ場合にも適用することができる。

【0109】

尚、不揮発性メモリチップA、Bはメモリコントローラ4602と1つのバスで共通に接続されても構わない。但しその場合は、図50のライトコマンドと消去コマンドがバス競合を起こさないように、不揮発性メモリアクセス部123が、ライトコマンドと消去コマンドの発行タイミングを時間的にずらす制御を行う。また図47（a）に示した論物変換テーブルは、ブロック単位で変換を行っても構わない。また複数のイレーズブロックをグルーピングした単位で変換を行っても構わない（その場合は図49の処理をブロック単位やグルーピングした単位に変更する必要がある）。また論物変換テーブルやエントリテーブルは、比較的高速にアクセスできればRAM以外の読み書きメモリを使用しても構わない。また本実施の形態3では不揮発性メモリ4601を2つのチップ構成、即ち不揮発性メモリチップA、Bを備えた並列アクセスの場合の例であるが、不揮発性メモリ4601を1つの不揮発性メモリチップとし、例えば16KBなどのまとまったサイズの書き込

みでは書き込み前にプリイレーズ（書き込み前に消去を行う）を実施し、比較的小容量の書き込みならばプリイレーズを実施しないといった直列的な切替制御を不揮発性メモリアクセス部123が実施してもよい。この場合においても、切替制御しない場合（即ち書き込みサイズに関わらず必ずプリイレーズを実施する方法）よりも、平均的に処理パフォーマンスを向上させることが可能である。

#### 【0110】

##### (実施の形態4)

図51は、本発明の実施の形態4における実施の方法を示した図である。図51において5101は不揮発性メモリであり、内部に2つの不揮発性メモリ（不揮発性メモリチップA、不揮発性メモリチップB）が存在する。5102は論物変換制御部、5103は不揮発性メモリアクセス部、5104はメモリコントローラである。その他のブロックは図1と同様である。尚、不揮発性メモリチップA、Bはそれぞれ独立の双方向バスでメモリコントローラ5104と接続される。

#### 【0111】

図52は不揮発性メモリチップA、Bの内部構成を示した説明図である。不揮発性メモリ5102内の不揮発性メモリチップA、B共にそれぞれ4つのバンクに分割されており、バンク0～3はそれぞれページ単位で同時に書き込みを行うことができるものとする。各イレーズブロック（4KB=4224B）は2ページから構成される（斜線枠がページ）。不揮発性メモリチップA、Bのバンク毎に1つずつのイレーズブロックから構成される全8イレーズブロック（太破線枠で囲んだ部分）を論理セクションとし、不揮発性メモリ5101全体で256セクションから構成される。

#### 【0112】

図53は論理アドレスフォーマットを示した説明図である。論理セクションNoに対応するビットが論物変換の対象ビットとなる。

#### 【0113】

図54は論物変換制御部5102を示した説明図である。論物変換制御部5102は、アクセス装置100から指定された論理アドレスから物理アドレスへの変換処理及び各物理ブロックの状態を管理するテーブルである。（a）は論理セクションNoを物理セクションNoに変換する論物変換テーブルであり、（b）は各物理ブロックが有効か無効があるいは不良ブロックかを示すエントリテーブルである。両者共RAMなどの揮発性メモリに記憶されている。尚、図54（a）の論物変換テーブルや図54（b）のエントリテーブルは、電源ON直後の初期化時において、不揮発性メモリチップA、Bの各イレーズブロックの管理領域に格納された情報をCPU113が読み出し、論物変換制御部5102中のRAM上に作成されるものである。

#### 【0114】

図55はイレーズブロックの構成を示した説明図である。イレーズブロックは2ページから成り、各ページはデータ領域（2048バイト）と管理領域（64バイト）、計2112バイトの容量をもつ。ここで不揮発性メモリチップAのバンク0に存在するイレーズブロックのページ0の管理領域には、論理セクションに対応する物理セクションを構成する為に不揮発性メモリチップAのバンク1～3及び不揮発性メモリチップBのバンク0～3のイレーズブロックの物理アドレス情報をいわゆるリンク情報をとして格納しておく。また実施の形態3と同じように、データ領域に書き込まれたユーザデータの論理アドレスやそのデータが有効なものか無効なものがあるいは不良ブロックかを表すフラグなどのアドレス管理情報も書き込むこととする。尚リンク情報などのセクションを管理する情報は、不揮発性メモリチップAのバンク0のイレーズブロック以外のイレーズブロックでも構わない。

#### 【0115】

図56はアクセス装置100がホスト情報格納部125に設定したスピードモードが高速スピードモード（比較的ピーク電流が大きい）の場合のタイムチャートである。

#### 【0116】

図57はアクセス装置100がホスト情報格納部125に設定したスピードモードが低速スピードモード(比較的ピーク電流が小さい)の場合のタイムチャートである。

#### 【0117】

以上のように構成された半導体メモリカード、及びアクセス装置について、以下図56、図57を中心にその動作を説明する。まずアクセス装置100が電源ON後の初期化時もしくはアクセス装置100上でのスイッチ操作等に応じて転送されたスピードモードが、ホスト情報格納部125に格納される。不揮発性メモリアクセス部5103はホスト情報格納部125に格納されスピードモードを参照してアクセスの形態を変更する。高速スピードモードの場合(図56)、アクセス装置100から転送された書き込みデータA, B, C, D…(連続論理アドレスとする)はホストインターフェース部112及び論物変換制御部5102を介して不揮発性メモリアクセス部5103に転送され順次8KB単位でバスNo0とバスNo1を介して不揮発性メモリチップA, Bにライトしていく。一方、ホスト情報格納部125に設定したスピードモードが低速スピードモードの場合は、図57に示すように、書き込みデータA, B, C, D…は、各バスでのプログラムビジー期間(データ転送などに比較して電流を多く消費する期間)が時間的に重ならないように書き込み制御される。具体的には書き込み対象である不揮発性メモリチップA, Bのプログラムビジー信号の解除が不揮発性メモリアクセス部5103へ通知されるまで、不揮発性メモリアクセス部5103はアクセス装置100に対してデータ転送をウェイトさせるカードビジー信号をフィードバックする。このような双方向制御によりプログラムビジー期間(電流を多く消費する期間)が分散される。即ちピーク電流を抑えることができるのと、電源供給回路の耐電流値の低いアクセス装置100を使用する場合は低速スピードモードを選択すべく、アクセス装置100がホスト情報格納部125にそのモード設定し、一方電源供給回路の耐電流値の高いアクセス装置100を使用する場合において高速アクセスを要求する場合は、高速スピードモードをホスト情報格納部125に設定し、その設定状況に応じて不揮発性メモリアクセス部123は、図56または図57に示すアクセス形態を選択して、それぞれに対応した書き込み制御を行う。

#### 【0118】

尚、論物変換テーブルやエントリテーブルは、比較的高速にアクセスできればRAM以外の読み書きメモリを使用しても構わない。

#### 【0119】

##### (実施の形態5)

図58は、本発明の実施の形態5における実施の方法を示した図である。図58において5801は不揮発性メモリ、5802は論物変換制御部、5803は不揮発性メモリアクセス部、5804はメモリコントローラである。その他のブロックは図1と同様である。

#### 【0120】

図59は不揮発性メモリ5801の内部構成を示した説明図である。不揮発性メモリ5801は4つのパンクに分割されており、パンク0～3はそれぞれページ単位で同時に書き込みを行うことができるものとする。各イレーズブロック(16896B=16KB)は32ページから構成される。尚イレーズブロックの構成は実施の形態3の図48と同様であるとする。

#### 【0121】

図60は論物変換制御部5802を示した説明図である。論物変換制御部5802は、アクセス装置100からホスト情報格納部125に転送記録された論物変換スルーフラグによって切替制御されるものである。図60(a)において6001は論理ブロックアドレスを物理ブロックアドレスに変換する論物変換テーブル、6002は論物変換スルーフラグがアクティブ(例えば値1)の時に論理アドレスをそのまま物理アドレスとして不揮発性メモリアクセス部5803に転送するセレクタである。図60(b)は各物理ブロックが有効か無効かあるいは不良ブロックかを示すエントリテーブルである。両者共RAMなどの揮発性メモリに記憶されている。尚、図60(b)の論物変換テーブル6001や

図60(b)のエントリテーブルは、電源ON直後の初期化時において、不揮発性メモリ5801の各イレーズブロックの管理領域の情報をCPU113が読み出し、論物変換制御部5802内のRAM上に作成されるものである。

#### 【0122】

図61は論物変換テーブル6001の内部構成を示した説明図である。

#### 【0123】

以上のように構成された半導体メモリカード、及びアクセス装置について、以下図59、図60を中心にその動作を説明する。図60において論物変換スルーフラグが非アクティブ、即ち論物変換がなされる場合、図59に示した不揮発性メモリ5801の各物理ブロックは、実施の形態4のようにセクション管理（複数の物理ブロックをグルーピングしてそのグルーピングした単位で管理）されない限り、特に規則性なく物理ブロック単位で変換処理がなされる。従って例えばバンク1（図59の破線で囲った領域）の全てのブロックが有効ブロックになることもあります、その場合、同時に書き込めるページ数が限定されてしまう。具体的には、バンク1を除くバンク、即ちバンク0, 2, 3のページにしか同時書き込みが出来ず、バンク0, 1, 2, 3全て同時に書き込みできる場合に比べて書き込み速度が低下してしまう。これを回避するひとつの方法として論物変換をしないという方法があり、この方法をとれば、常にバンク0～3に書き込み可能な状態になるように、即ちいずれかのバンクの全てのブロックが有効にならないように、アクセス装置100側で管理することが可能となる。ここで、不揮発性メモリ5801にフラッシュメモリを使い、かつフラッシュメモリ全領域内的一部の領域に書き込みが集中する可能性のあるシステムにおいてはウェアレベリング（書き換え集中の回避）、即ち論物変換が必要となる。但し、長時間記録用途の動画記録再生装置など、全領域を一気に記録するケースの多いシステムにおいては、小容量でランダムに書き換えるシステムと比較してウェアレベリングの仕組み（論物変換処理）の実装の必要性が低くなり、また今後書き換え回数に制限がなく、かつ容量やコスト共に実用に期する不揮発性メモリが開発された場合は、ウェアレベリングの仕組み（論物変換処理）の実装の必要性は無くなる。この事を鑑み、アクセス装置100からの指示により、上述したようなウェアレベリングの必要性が低い乃至は必要性がない（逆にアクセス側で物理ブロック管理した方が高速アクセスに適する）と判断した場合においては、論物変換スルーフラグをホスト情報格納部125に設定することで、書き込み速度の低下を回避するようアクセス装置100側で管理することが可能になる。メモリコントローラ5804（例えばLSIで実現）側の利点としては、論物変換制御部5802が論物変換するか否かを切替制御できるので、使用用途や実装する不揮発性メモリの種類に関わらず、高速性と不揮発性メモリの長寿命化（ウェアレベリング）に対するニーズに応じて汎用的に使用できる。

#### 【0124】

尚、カード情報格納部124に同時に書き込み条件（バンクの数やページサイズ、或いは並列処理できる不揮発性メモリの数など）をアクセス装置100にフィードバックすることにより、アクセス装置100は不揮発性メモリ5801の管理がやりやすくなる。また、論物変換テーブル6001やエントリテーブルは、比較的高速にアクセスできればRAM以外の読み書きメモリを使用しても構わない。また、不揮発性メモリ5801は、複数の不揮発性メモリチップを内蔵しても構わない。

#### 【0125】

##### （実施の形態6）

図62は、本発明の実施の形態6における実施の方法を示した図である。図62において6201は不揮発性メモリ、6202は論物変換制御部、6203は空き物理領域生成部、6204は不揮発性メモリアクセス部、6205はメモリコントローラである。その他のブロックは図1と同様である。尚空き物理領域生成部6203とは不揮発性メモリ6201内の記録状態を整理し空きブロック（消去ブロック）を増加させ、いつでもブリュイイレーズ無しに書き込みができる状態にするものである。また不揮発性メモリ6201内のイレーズブロックは実施の形態3の図48と同様であるとする。

**【0126】**

図63は論物変換制御部6202を示した説明図である。論物変換制御部6202は、アクセス装置100から指定された論理アドレスから物理アドレスへの変換処理及び各物理ブロックの状態を管理するテーブルである。(a)は論理セクタアドレスを物理セクタアドレスに変換する論物変換テーブルであり、(b)は各物理ブロックが有効か、無効か、不良ブロックか、空きブロック(消去済みブロック)か、あるいはデフラグ対象ブロックか、を示すエントリーテーブルである。両者共RAMなどの揮発性メモリに記憶されている。尚、図63(a)の論物変換テーブルや図63(b)のエントリーテーブルは、電源ON直後の初期化時において、不揮発性メモリ6201の各イレーズブロックの管理領域に格納された情報をCPU113が読み出し、論物変換制御部6202内のRAM上に作成されるものである。

**【0127】**

図64はデフラグ処理を示した説明図である。

**【0128】**

以上のように構成された半導体メモリカード、及びアクセス装置について、以下図64を中心にその動作を説明する。アクセス装置100は半導体メモリカードに書き込み等の命令を転送していくうちに次第に不揮発性メモリ6201は空きブロックが少なくなってくる。ここで本実施の形態6では、実施の形態4のように(図53参照)、イレーズブロック内の各セクタ(ページ)は論理順に書き込みず、アクセス装置100が転送する論理セクタはその論理セクタアドレスに関わらずイレーズブロックの降順に書き込まれる。具体的には図64に示すように論理セクタ4, 0, 0, 1, 3…とアクセス装置100が書き込むと、イレーズブロック1のセクタナンバーの0, 1, 2, 3…位置に降順に書き込んでいく。イレーズブロック内にある程度のセクタが書き込まれた時点で、空きブロック領域生成部6203はそのイレーズブロックをデフラグ対象ブロックとして図63(b)のエントリーテーブルに登録する。そしてアクセス装置100が続いて転送してきた論理セクタは別の空きブロック(消去済みブロック)をエントリーテーブルからサーチして書き込んでいく。これを続けることにより次第にエントリーテーブル中の空きブロックが少くなり、反対にデフラグ対象ブロックが多くなってくる。空きブロック領域生成部6203は例えばエントリーテーブル内の空きブロック数をカウントするカウンタを備え、カウント値が規定以下になった時にデフラグ要求信号を、あるいはカウント値をアクセス装置100に返す。アクセス装置100はデフラグ要求信号を受け付けた後に即デフラグ指示信号を半導体メモリカード111に転送してもよいし、また上記カウント値に基づき、この後に転送するデータ容量に応じて、デフラグ指示信号の転送時期を見極めた上でデフラグ指示信号を発行してもよい。アクセス装置100から転送されたデフラグ指示信号をホスト情報格納部125が一時記憶し、空き物理領域生成部6203がこれを参照して、不揮発性メモリアクセス部6204に対してデフラグ処理の指示を発行する。具体的には、図64に示すようにイレーズブロック1と5(いずれもデフラグ対象ブロックとして登録されたイレーズブロック)の各セクタナンバー(新規フラグがマークされたセクタのみ)をみて、空きブロック9に論理セクタ順にマージ処理を行うように、不揮発性メモリアクセス部6204に読み書き指示を発行する。不揮発性メモリアクセス部6204はその指示に従い、図64にしめすようにイレーズブロック1と5から新規フラグのたった論理セクタから空きブロックであるイレーズブロック9にコピーバックを行う。尚、実施の形態4のように(図53に示すように)、イレーズブロック内の各セクタ(ページ)が、そのイレーズブロック内で必ず論理順となる論理フォーマットとなるメモリコントローラ5104の場合は、空き物理領域生成部121は上述したようなデフラグ処理ではなく、図22(b)のエントリーテーブルの無効ブロックの消去処理指示を不揮発性メモリアクセス部123に発行するだけでよい。尚、論物変換テーブルやエントリーテーブルは、比較的高速にアクセスできればRAM以外の読み書きメモリを使用しても構わない。また、不揮発性メモリ6201は、複数の不揮発性メモリチップを内蔵しても構わない。

**【0129】**

## (実施の形態 7)

図65は、本発明の実施の形態7における実施の方法を示した図である。図65において6501は不揮発性メモリ、6502は論物変換制御部、6503は不揮発性メモリアクセス部、6504はメモリコントローラである。その他のブロックは図1と同様である。尚、論物変換制御部6502は実施の形態5の図61に示した論物変換テーブルと図60(b)のエントリテーブルを両者共RAMなどの揮発性メモリに記憶されたものである。尚、論物変換テーブルやエントリテーブルは、電源ON直後の初期化時において、不揮発性メモリ6501のAT領域上のAT(後述する)をCPU113が読み出し、論物変換制御部6502内のRAM上にコピーする。

## 【0130】

図66は不揮発性メモリ6501の内部構成を示した説明図である。不揮発性メモリ6501におけるイレーズブロックやページの仕様は、実施の形態4(図52)の半導体メモリチップAと同様である。

## 【0131】

図67は従来の不揮発性メモリアクセス部のアクセス形態を示した説明図である。

## 【0132】

図68は不揮発性メモリアクセス部6503のアクセス形態を示した説明図である。

## 【0133】

以上のように構成された半導体メモリカード、及びアクセス装置について、以下図66～68を中心にその動作を説明する。まず図66に示す不揮発性メモリ6501の構成であるが、実施の形態3～6と異なり、アドレス管理情報126は不揮発性メモリ6501内のAT領域に論物変換テーブルやエントリテーブルのフォーマット形式にて記憶されており、初期化時にCPU113が読み出し、論物変換制御部6502内のRAM上にコピーする。尚、ATとはメモリコントローラ6504が不揮発性メモリ6501を管理する為のアロケーションテーブルの略号で以降ATとする。ここでATをデータ領域とは別の領域にまとめて記録する目的であるが、不揮発性メモリ6501に存在するイレーズブロック数が非常に多い場合においては、実施の形態3～6のように初期化時に各イレーズブロックの管理領域の管理情報に基づいてRAM上に論物変換テーブルやエントリテーブルを生成する方法をとると、時間が比較的長くかかる為、その時間を合理化する必要のある場合(即ちイレーズブロック数が非常に多い不揮発性メモリを使用する場合)、このAT管理方法がとられる。この場合、従来の不揮発性メモリアクセス部のアクセス形態としては図67に示すように、アクセス装置100からの書き込みコマンド毎に、RAM上のATを更新して不揮発性メモリに書き戻す処理(図67のATライト)が必要であった。因みにATリードは、不揮発性メモリ6501のデータ領域を分割管理しない限り、即ちATが全データ領域を管理する場合は、初期化時のみだけでよい。このATライトに要する時間的オーバヘッドは、本実施の形態7における特有の課題(処理パフォーマンス面の低下)となる。特に、データライトの容量が小さい、言い換えれば全体の処理時間(データライト時間+ATライト時間)に対してATライト時間の割合が比較的大きい場合に課題となる。この課題解決の為に、本実施の形態7においては、図68に示すようなAT更新指示信号を用いる。AT更新指示信号とはアクセス装置100が発行する信号であり、アクセス装置100が例えば数百KBオーダのサイズのユーザデータを連続で書き込み、更にアクセス装置100側のFATの更新も数百KBオーダで更新するシステムにおいては、ATもそのスパンに対応して更新すればよい。その理由は、FATが更新(不揮発性メモリ6501への書き込み)完了する前に電源遮断などが起きた場合、FATも更新されないので、ATも更新される必要がない。逆にFAT更新とAT更新の整合をとった方が合理的であると言える。アクセス装置100はその使用用途によって、FAT更新のスパンは異なる。従って、使用用途(アクセス装置100の仕様)に応じて処理パフォーマンスの最適化を行う為に、アクセス装置100側からAT更新のタイミングを制御(AT更新指示信号を転送)すれば良い。

## 【産業上の利用可能性】

## 【0134】

本発明に関わる半導体メモリカード、アクセス装置及びアクセス方法は、アクセス装置側、半導体メモリカード側のいずれか、あるいは両者の処理を最適化することにより、半導体メモリカードに対する高速アクセスを実現することができる。このような半導体メモリカード、及びアクセス装置または方法は、半導体メモリカードを記録媒体として使用するデジタルA V機器や携帯電話端末、P C等に利用できる。また、転送レートの高い高品質A Vデータを記録する記録媒体、及び機器に使用する場合、特に好適に機能する。

## 【図面の簡単な説明】

## 【0135】

【図1】本発明の実施の形態1に於ける半導体メモリカード、及びアクセス装置の実施方法を示した説明図

【図2】本発明の実施の形態1に於ける消去ブロックとセクタとの関係例を示した説明図

【図3】本発明の実施の形態1に於ける半導体メモリカードへの消去ブロック倍数長のデータ書き込み処理を示したフローチャート

【図4】本発明の実施の形態1に於ける半導体メモリカードへの1セクタ分のデータ書き込み処理を示したフローチャート

【図5】本発明の実施の形態1に於ける2枚のFlashメモリを使用した半導体メモリカードの構成例を示した説明図

【図6】本発明の実施の形態1に於ける2枚のFlashメモリを使用した半導体メモリカードのアクセスタイミング例を示した説明図

【図7】本発明の実施の形態1に於けるカード情報格納部に格納される情報を示した説明図

【図8】本発明の実施の形態1に於ける第1の方法に関するアクセス装置内部処理を示したフローチャート

【図9】本発明の実施の形態1に於ける第1の方法に関する半導体メモリカード内部処理を示したフローチャート

【図10】本発明の実施の形態1に於ける第1の方法に関するアクセス条件、アクセス性能値の一例を示した説明図

【図11】本発明の実施の形態1に於ける第2の方法に関するアクセス装置内部処理を示したフローチャート

【図12】本発明の実施の形態1に於ける第2の方法に関する半導体メモリカード内部処理を示したフローチャート

【図13】本発明の実施の形態1に於ける第2の方法に関するアクセス条件、アクセス性能値の一例を示した説明図

【図14】本発明の実施の形態1に於ける第3の方法に関するアクセス装置内部処理を示したフローチャート

【図15】本発明の実施の形態1に於ける第3の方法に関する半導体メモリカード内部処理を示したフローチャート

【図16】本発明の実施の形態1に於ける第4の方法に関するアクセス装置内部処理を示したフローチャート

【図17】本発明の実施の形態1に於ける第4の方法に関する半導体メモリカード内部処理を示したフローチャート

【図18】本発明の実施の形態1に於ける第5の方法に関する速度性能レベル判定基準例を示した説明図

【図19】本発明の実施の形態1に於ける第6の方法に関する半導体メモリカード内部処理を示したフローチャート

【図20】本発明の実施の形態1に於ける第7の方法に関するアクセス装置内部処理を示したフローチャート

【図21】本発明の実施の形態1に於ける第7の方法に関する半導体メモリカード内

部処理を示したフローチャート

【図 2 2】本発明の実施の形態 1 に於ける第 7 の方法に関するアクセス性能基礎情報表例を示した説明図

【図 2 3】本発明の実施の形態 1 に於ける第 7 の方法に関するリード処理、ライト処理におけるアクセス装置と半導体メモリカード間のアクセスタイミング例を示した説明図

【図 2 4】本発明の実施の形態 1 に於ける第 7 の方法に関するイレース処理におけるアクセス装置と半導体メモリカード間のアクセスタイミング例を示した説明図

【図 2 5】本発明の実施の形態 1 に於ける第 8 の方法に関するアクセス装置内部処理を示したフローチャート

【図 2 6】本発明の実施の形態 1 に於ける第 8 の方法に関する半導体メモリカード内部処理を示したフローチャート

【図 2 7】本発明の実施の形態 1 に於ける第 8 の方法に関する単位時間あたりに処理可能なデータサイズを用いたアクセス性能表例を示した説明図

【図 2 8】本発明の実施の形態 1 に於ける第 8 の方法に関する単位サイズのデータ処理に必要な時間を用いたアクセス性能表例を示した説明図

【図 2 9】本発明の実施の形態 1 に於ける第 8 の方法に関するアクセス性能表例を示した説明図

【図 3 0】本発明の実施の形態 2 に於ける F A T ファイルシステムの構成を示した説明図

【図 3 1】本発明の実施の形態 2 に於ける F A T ファイルシステムのデータ格納例を示した説明図

【図 3 2】本発明の実施の形態 2 に於ける F A T ファイルシステムのデータ書き込み処理を示したフローチャート

【図 3 3】本発明の実施の形態 2 に於ける F A T ファイルシステムのデータ書き込み前の状態を示した説明図

【図 3 4】本発明の実施の形態 2 に於ける F A T ファイルシステムのデータ書き込み後の状態を示した説明図

【図 3 5】本発明の実施の形態 2 に於ける F S アクセス単位取得処理を示したフローチャート

【図 3 6】本発明の実施の形態 2 に於ける第 1 の方法に関する F S アクセス単位を用いたフォーマット後のファイルシステムの構成例を示した説明図

【図 3 7】本発明の実施の形態 2 に於ける第 2 の方法に関する F S アクセス単位を用いたファイルデータ書き込み処理を示したフローチャート

【図 3 8】本発明の実施の形態 2 に於ける第 2 の方法に関するデータ配置例を示した説明図

【図 3 9】本発明の実施の形態 2 に於ける第 3 の方法に関する F S アクセス単位を用いたディレクトリ領域割り当て処理を示したフローチャート

【図 4 0】本発明の実施の形態 2 に於ける第 3 の方法に関するデータ配置例を示した説明図

【図 4 1】本発明の実施の形態 2 に於ける第 4 の方法に関する F S アクセス単位を用いたデフラグ処理前のデータ配置例を示した説明図

【図 4 2】本発明の実施の形態 2 に於ける第 4 の方法に関する F S アクセス単位を用いたデフラグ処理後のデータ配置例を示した説明図

【図 4 3】本発明の実施の形態 2 に於ける第 5 の方法に関する F S アクセス単位を用いた残り空き領域長取得処理を示したフローチャート

【図 4 4】本発明の実施の形態 2 に於ける第 5 の方法に関するデータ配置例を示した説明図

【図 4 5】本発明の実施の形態 2 に於ける半導体メモリカード制御 L S I を用いた半導体メモリカード、及びアクセス装置の実施方法を示した説明図

【図 4 6】本発明の実施の形態 3 に於ける半導体メモリカード、及びアクセス装置の実施方法を示した説明図

【図 4 7】本発明の実施の形態 3 に於ける論物変換制御部 118 を示した説明図

【図 4 8】本発明の実施の形態 3 に於けるイレーズブロックの構成を示した説明図

【図 4 9】本発明の実施の形態 3 に於ける空き物理領域生成部 121 の処理を示したフローチャート

【図 5 0】本発明の実施の形態 3 に於ける不揮発性メモリアクセス部 123 の不揮發性メモリ 501 へのアクセス形態を示したタイムチャート

【図 5 1】本発明の実施の形態 4 に於ける半導体メモリカード、及びアクセス装置の実施方法を示した説明図

【図 5 2】本発明の実施の形態 4 に於ける不揮發性メモリチップ A, B の内部構成を示した説明図

【図 5 3】本発明の実施の形態 4 に於ける論理アドレスフォーマットを示した説明図

【図 5 4】本発明の実施の形態 4 に於ける論物変換制御部 1002 を示した説明図

【図 5 5】本発明の実施の形態 4 に於けるイレーズブロックの構成を示した説明図

【図 5 6】本発明の実施の形態 4 に於ける高速スピードモードの場合のタイムチャート

【図 5 7】本発明の実施の形態 4 に於ける低速スピードモードの場合のタイムチャート

【図 5 8】本発明の実施の形態 5 に於ける半導体メモリカード、及びアクセス装置の実施方法を示した説明図

【図 5 9】本発明の実施の形態 5 に於ける不揮發性メモリ 1701 の内部構成を示した説明図

【図 6 0】本発明の実施の形態 5 に於ける論物変換制御部 1702 を示した説明図

【図 6 1】本発明の実施の形態 5 に於ける論物変換テーブル 1901 の内部構成を示した説明図

【図 6 2】本発明の実施の形態 6 に於ける半導体メモリカード、及びアクセス装置の実施方法を示した説明図

【図 6 3】本発明の実施の形態 6 に於ける論物変換制御部 2102 を示した説明図

【図 6 4】本発明の実施の形態 6 に於けるデフラグ処理を示した説明図

【図 6 5】本発明の実施の形態 7 に於ける半導体メモリカード、及びアクセス装置の実施方法を示した説明図

【図 6 6】本発明の実施の形態 7 に於ける不揮發性メモリ 2401 の内部構成を示した説明図

【図 6 7】本発明の実施の形態 7 に於ける従来の不揮發性メモリアクセス部のアクセス形態を示した説明図

【図 6 8】本発明の実施の形態 7 に於ける不揮發性メモリアクセス部 2403 のアクセス形態を示した説明図

#### 【符号の説明】

【0136】

100 アクセス装置

101, 113 CPU

102, 114 RAM

103 スロット

104, 115 ROM

105 アプリケーションプログラム

106 ファイルシステム制御部

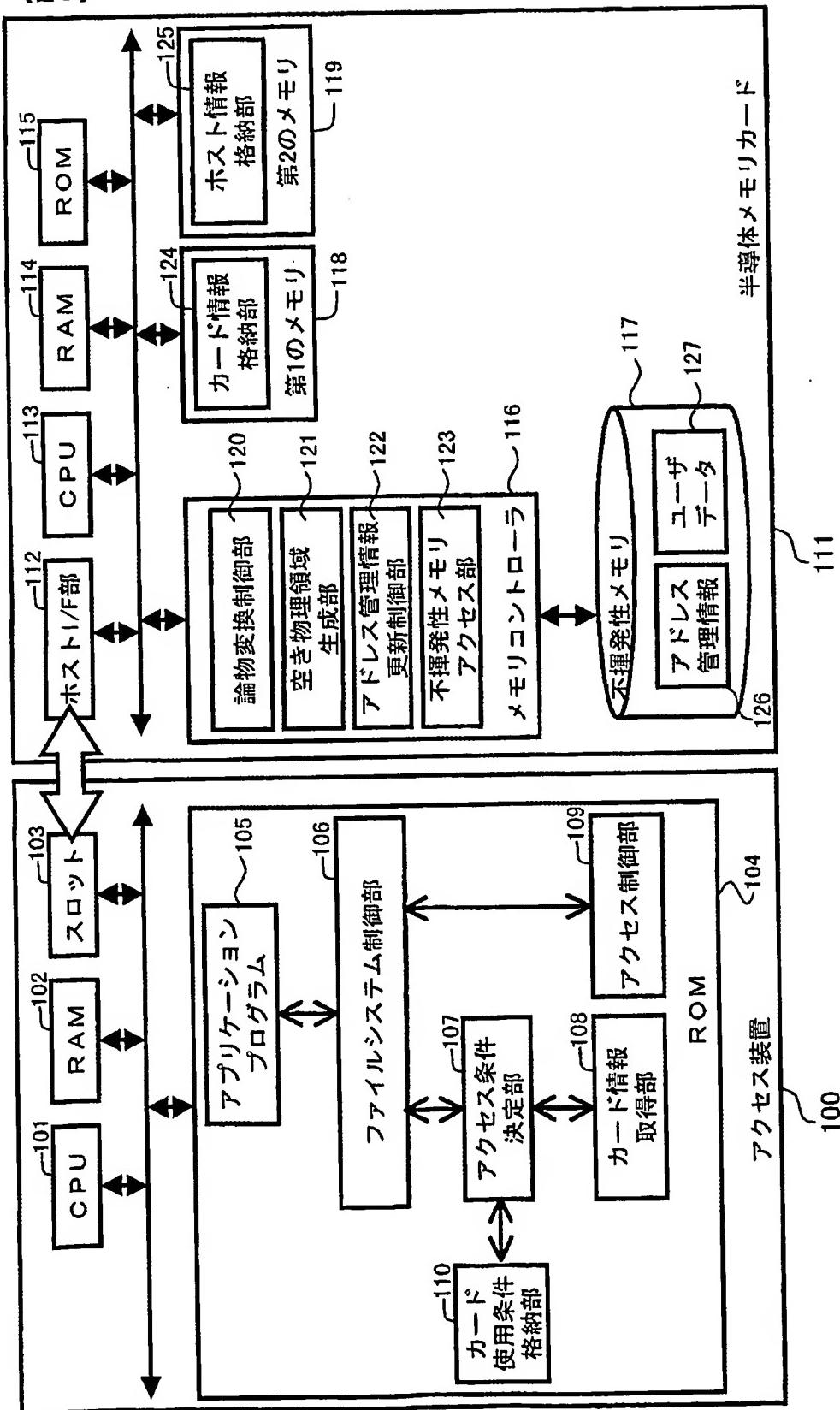
107 アクセス条件決定部

108 カード情報取得部

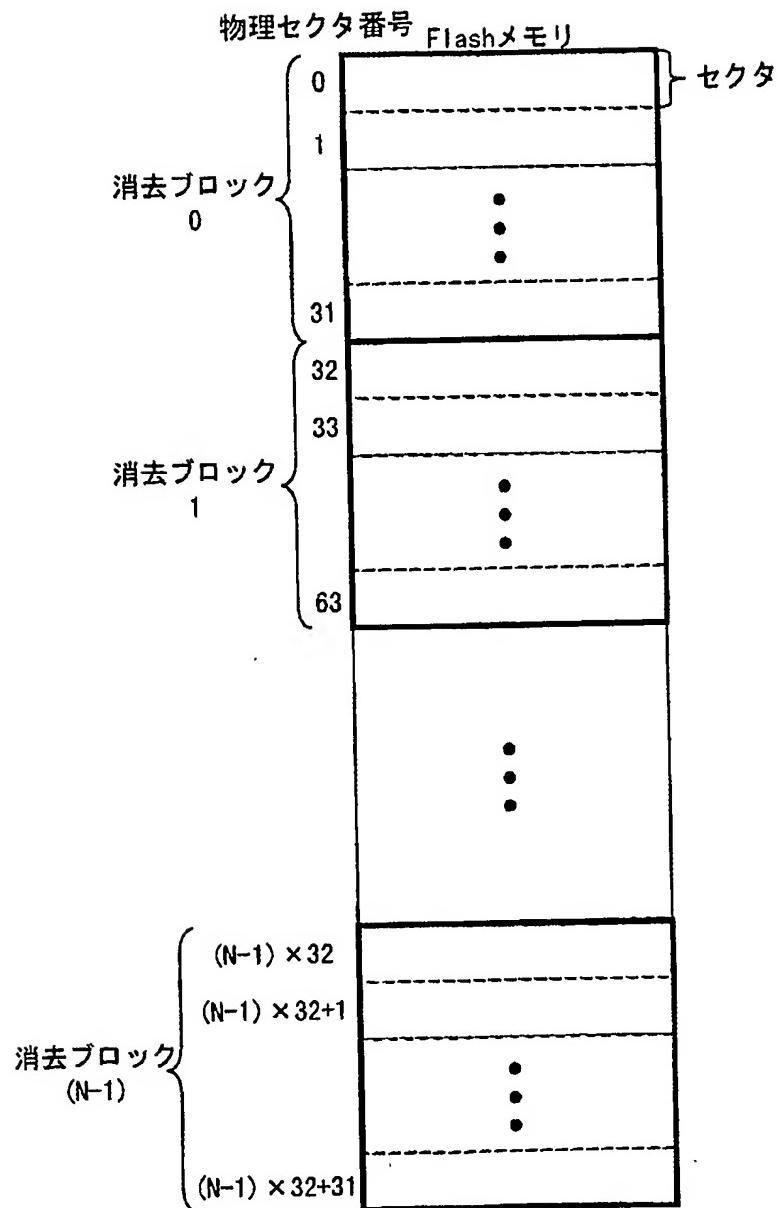
109 アクセス制御部

110 カード使用条件格納部  
111 半導体メモリカード  
112 ホストインターフェース部  
116 メモリコントローラ  
117 不揮発性メモリ  
118 第1のメモリ  
119 第2のメモリ  
120 論物変換制御部  
121 空き物理領域生成部  
122 アドレス管理情報更新制御部  
123 不揮発性メモリアクセス部  
124 カード情報格納部  
125 ホスト情報格納部  
126 アドレス管理情報  
127 ユーザデータ

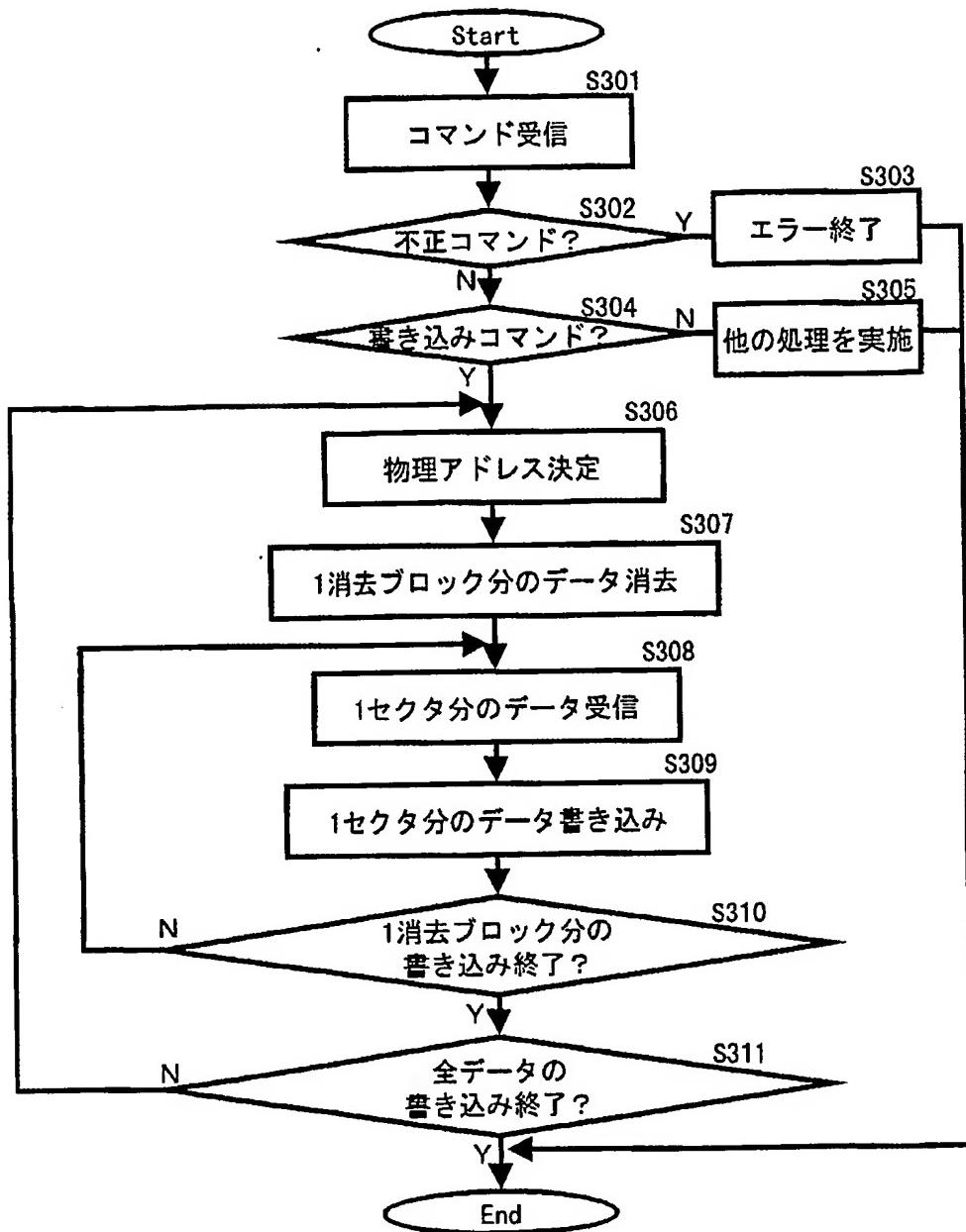
【書類名】図面  
【図1】



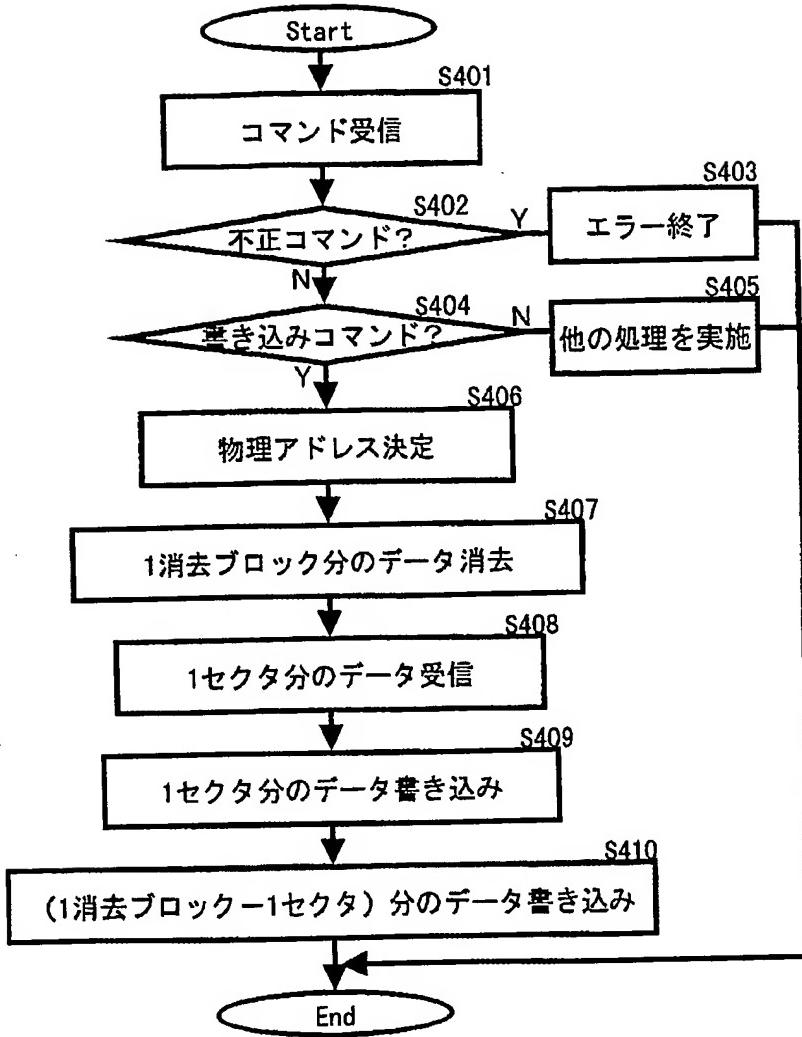
【図2】



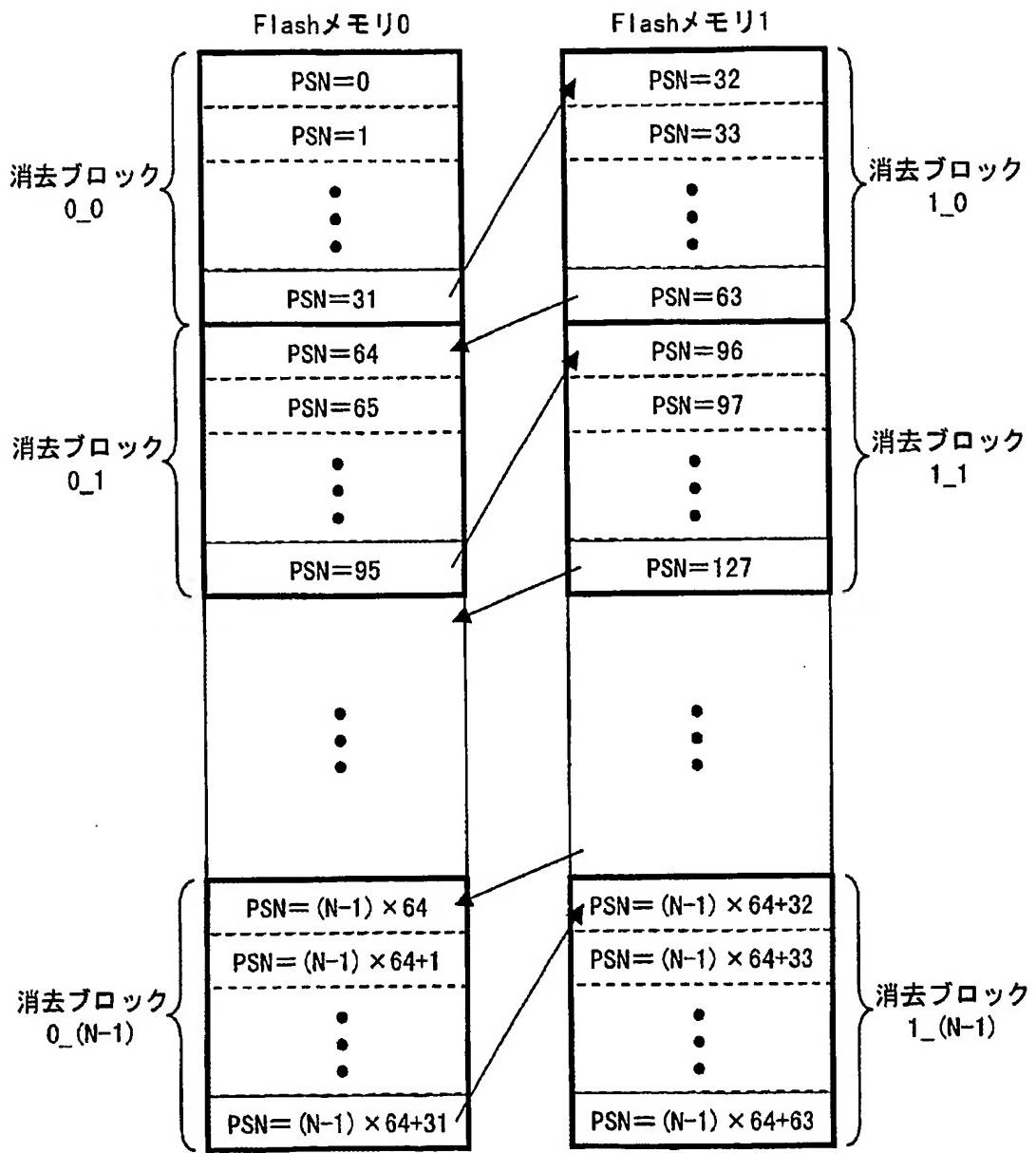
【図3】



【図4】



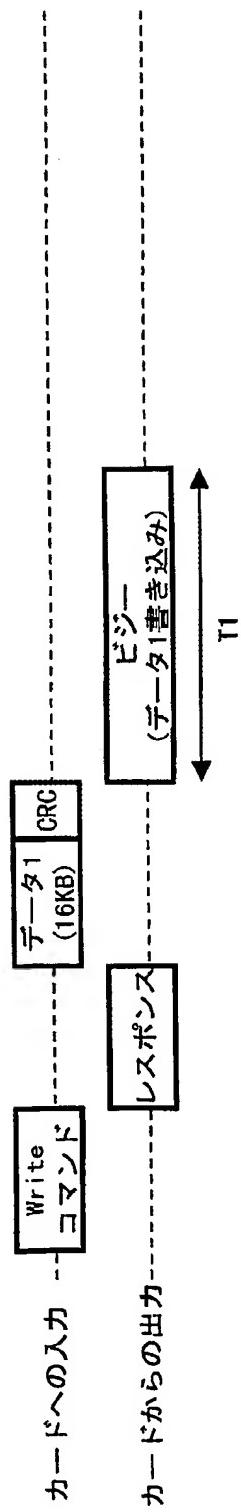
【図5】



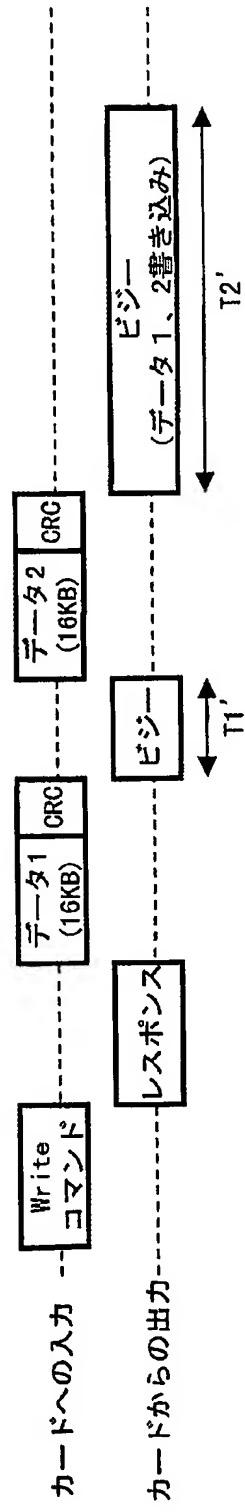
PSN：物理セクタ番号

【図6】

(a) 1消去ロック分のデータを書き込んだ場合



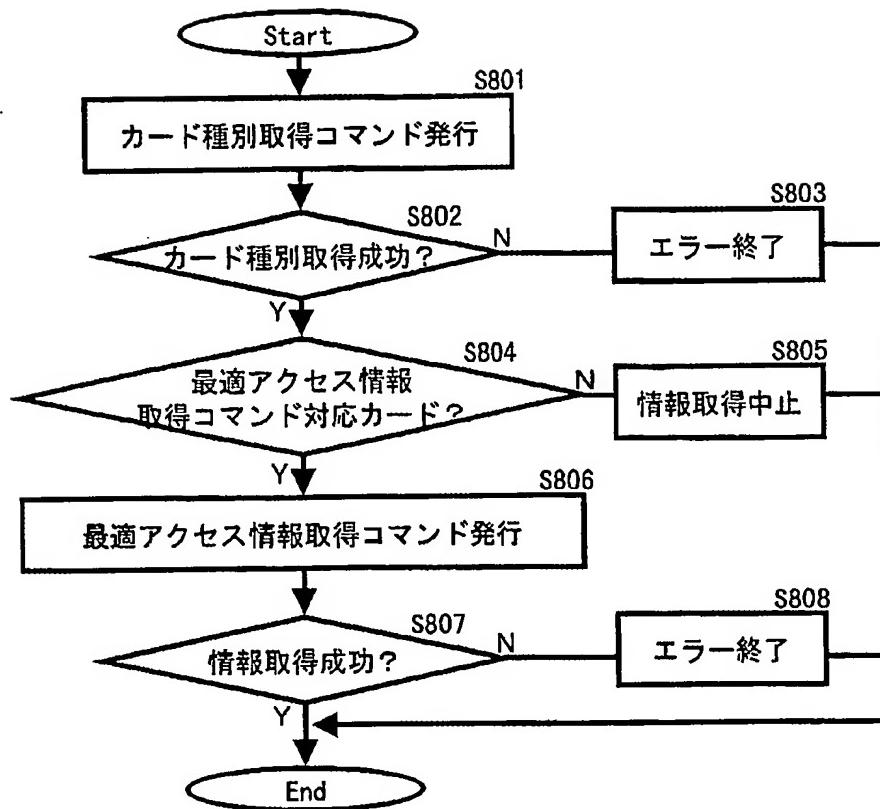
(b) 2消去ロック分のデータを並列書き込みした場合



【図7】

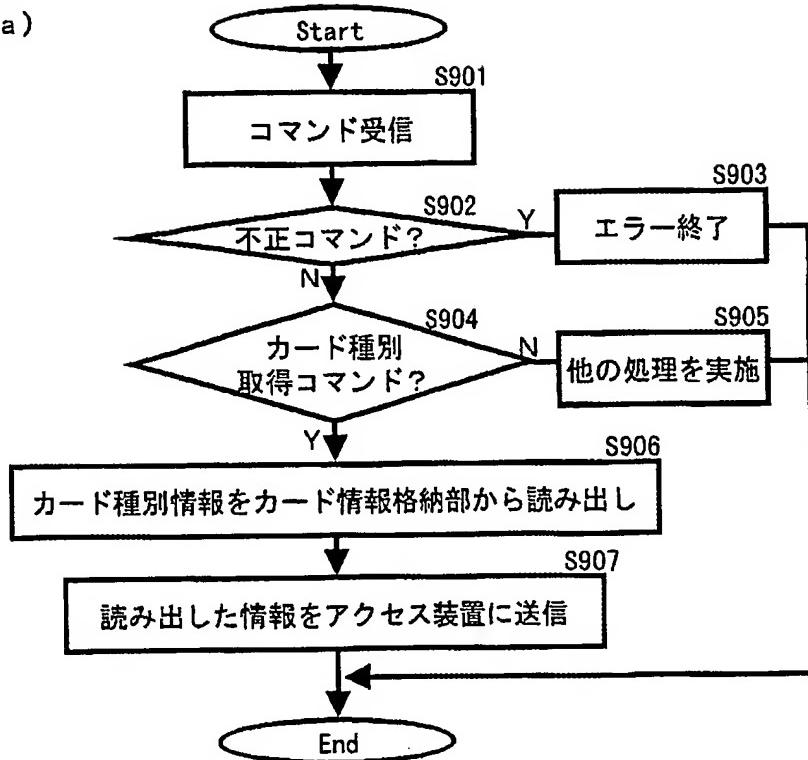
種別	項目
カード内部 物理特性関連	メモリ種別(Flash、MRAMなど)
	メモリ使用枚数
	メモリ管理方法種別(並列書き込み方法など)
	消去ブロックサイズ
	管理ブロックサイズ
	温度条件
	消費電力量
	電流値
	電圧値
	カード種別情報(バージョン、サポートするコマンドセットなど)
アクセス条件 関連	処理種別(リード/ライト/イレースなど)
	処理単位サイズ
	処理単位境界
	処理単位時間
	アクセス方法(シーケンシャル/ランダムなど)
	シーケンシャルアクセス時の最低連続領域サイズ
	入力クロック周波数
	ビット幅(1ビット/4ビットなど)
アクセス性能 関連	速度性能レベル(高速/中速/低速など)
	単位時間に処理可能なデータサイズ
	単位サイズの処理を行う際にかかる時間
	転送レート
	カード内部処理時間(Readアクセス時間、Write/Eraseのビジー時間など)
異常系関連	エラー発生率
	エラー通知時間の最悪値
その他	速度性能レベル判定基準
	速度性能レベル
	消費電力量レベル

【図8】

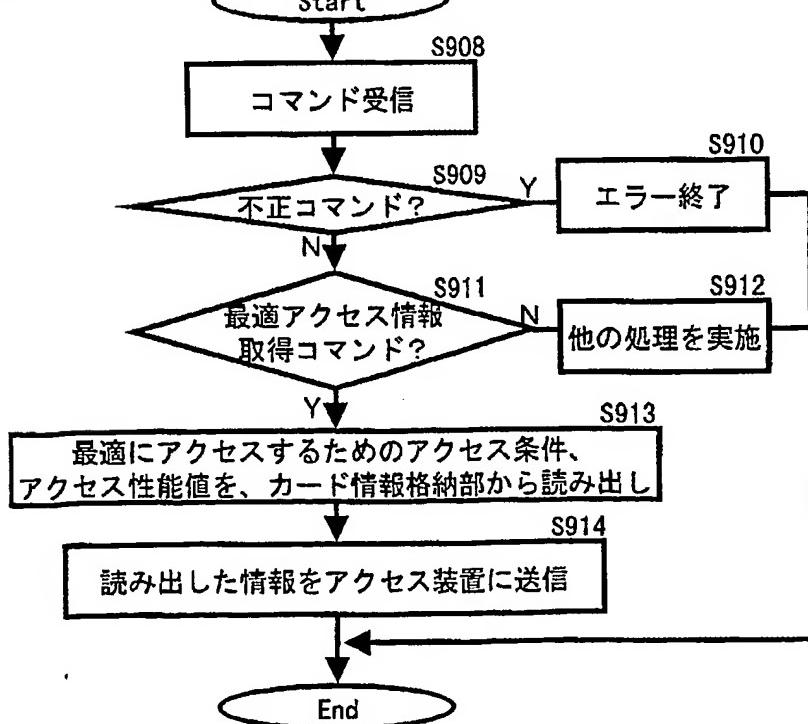


【図9】

(a)



(b)



【図10】

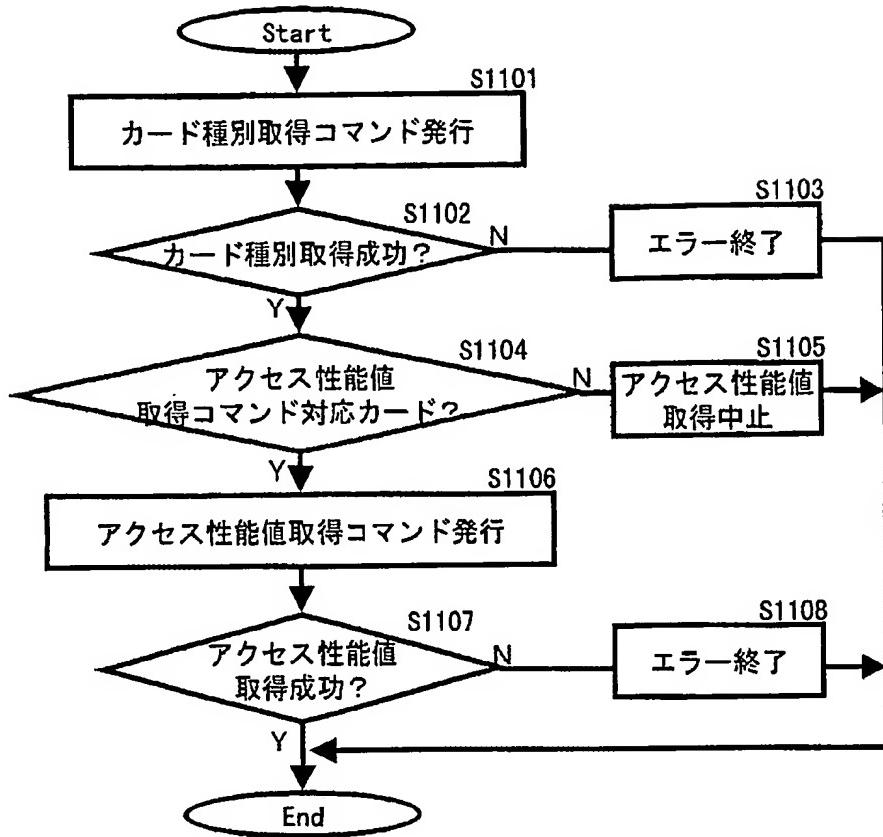
## (a) アクセス条件

項目	条件値
処理単位サイズ	128KBの倍数長
処理単位境界	128KBの倍数長
アクセス方法	256KB以上の連続領域にシーケンシャルアクセス
入力クロック周波数	25MHz以上
ビット幅	4ビット

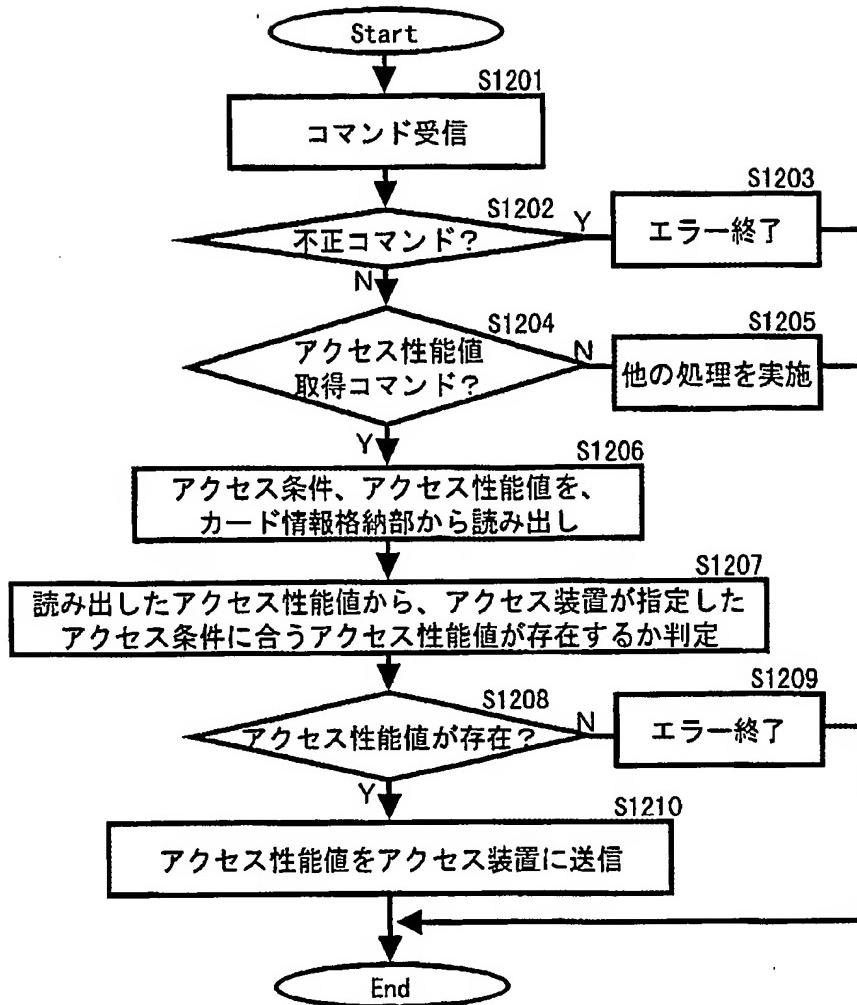
## (b) アクセス性能値

リード処理の転送レート(平均値)=11MB/s
ライト処理の転送レート(平均値)=10MB/s
イレース処理の転送レート(平均値)=10.3MB/s
リード処理の転送レート(最悪値)=6MB/s
ライト処理の転送レート(最悪値)=5MB/s
イレース処理の転送レート(最悪値)=5.1MB/s

【図 11】



【図12】



【図13】

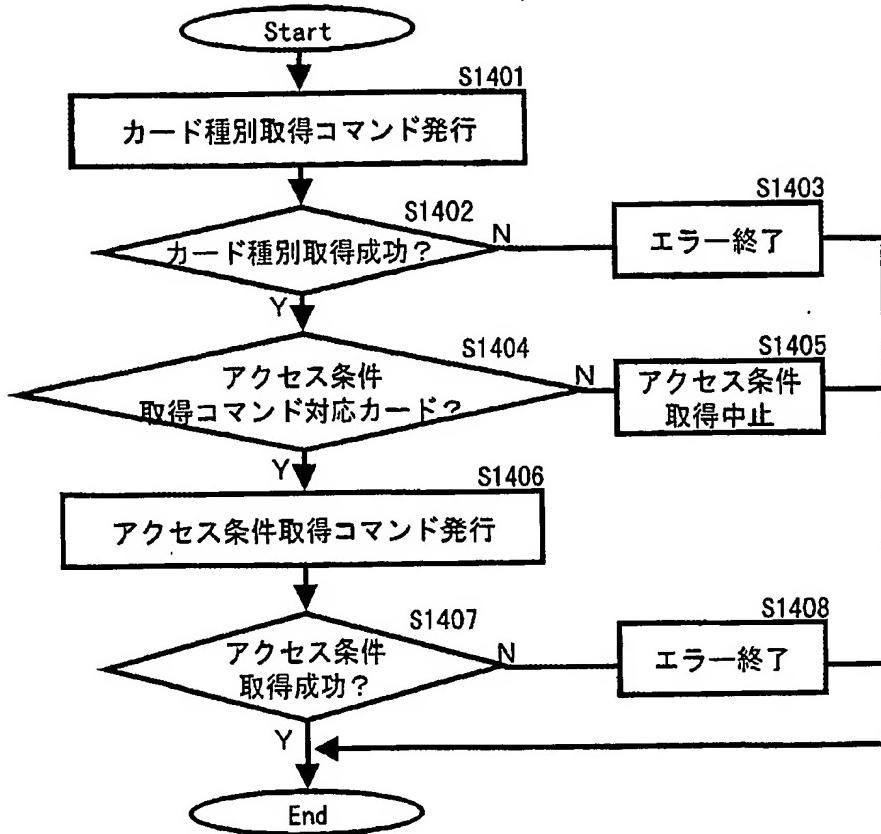
## (a) アクセス条件

項目	条件値
処理単位サイズ	128KB
処理単位境界	128KB
アクセス方法	256KBを連続領域としてシーケンシャルアクセス
入力クロック周波数	25MHz
ビット幅	4ビット

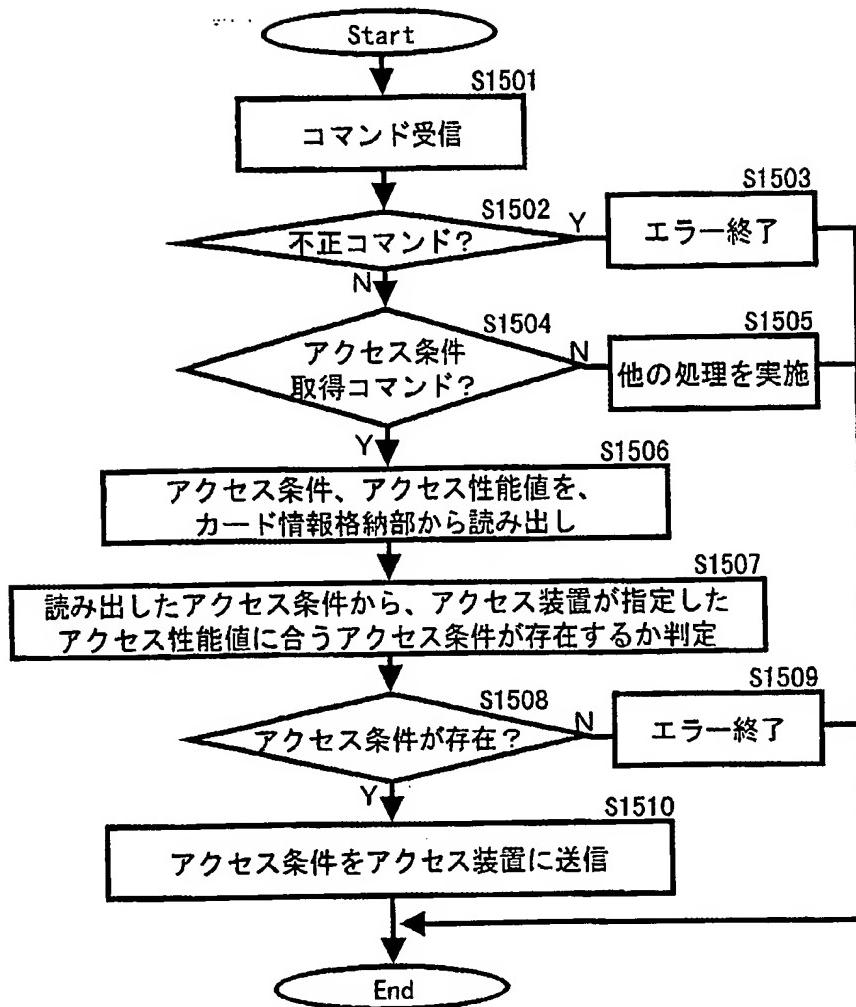
## (b) アクセス性能値

リード処理の転送レート(平均値) = 11MB/s
ライト処理の転送レート(平均値) = 10MB/s
イレース処理の転送レート(平均値) = 10.3MB/s
リード処理の転送レート(最悪値) = 6MB/s
ライト処理の転送レート(最悪値) = 5MB/s
イレース処理の転送レート(最悪値) = 5.1MB/s

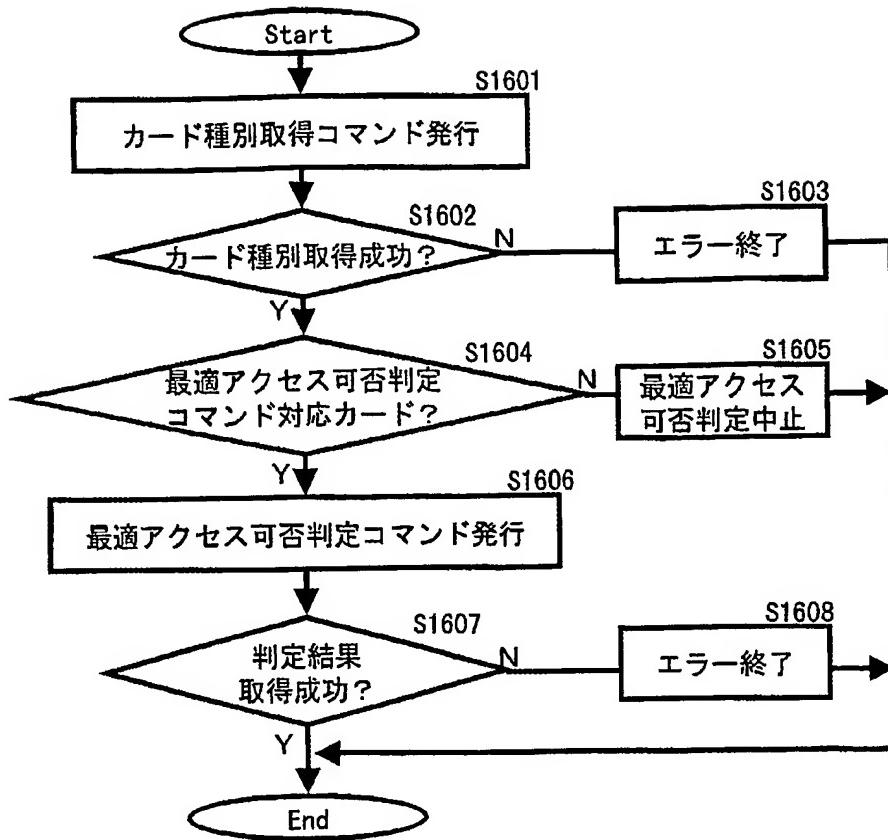
【図14】



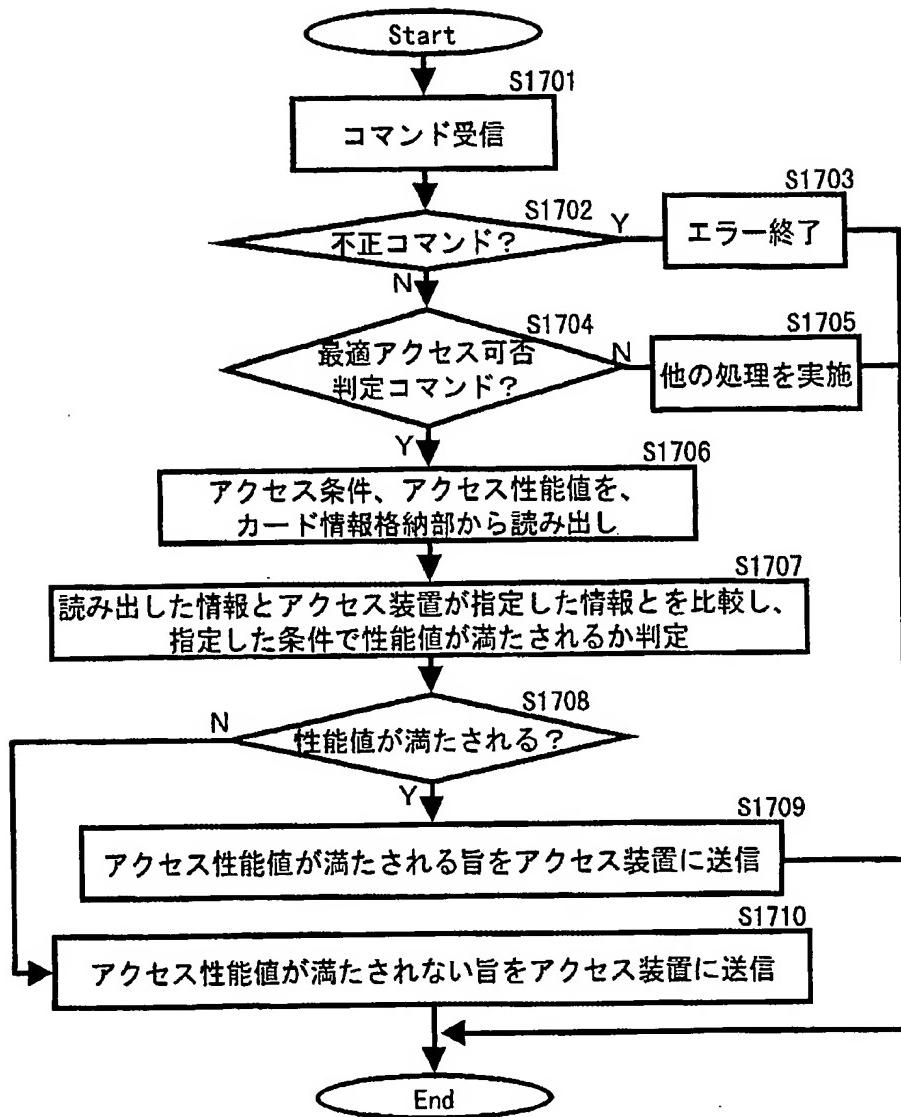
【図15】



【図 16】



【図17】



【図18】

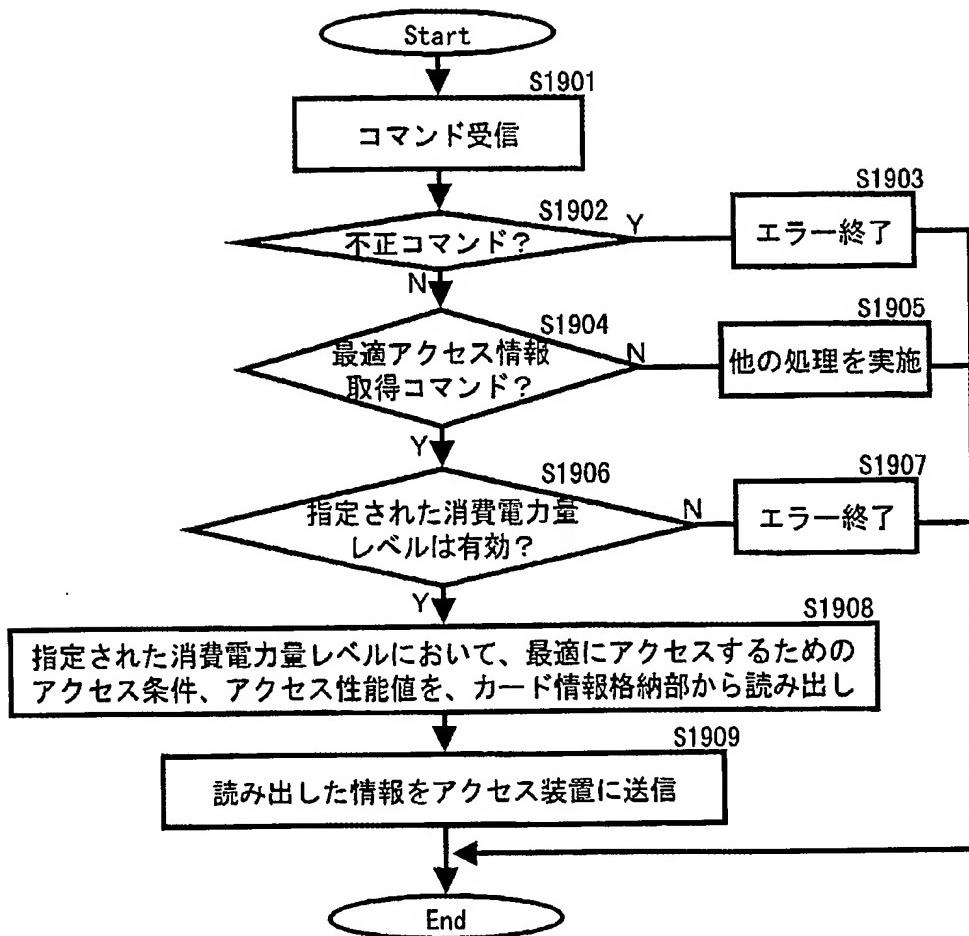
(a) 速度性能レベル判定基準

		処理内容		
		リード	ライト	イレース
速度性能 レベル	高速	平均転送レート $>=8.0\text{MB/s}$	平均転送レート $>=8.0\text{MB/s}$	平均転送レート $>=8.0\text{MB/s}$
	中速	4.0MB/s < 平均転送レート $<=8.0\text{MB/s}$	4.0MB/s < 平均転送レート $<=8.0\text{MB/s}$	4.0MB/s < 平均転送レート $<=8.0\text{MB/s}$
	低速	平均転送レート $<4.0\text{MB/s}$	平均転送レート $<4.0\text{MB/s}$	平均転送レート $<4.0\text{MB/s}$

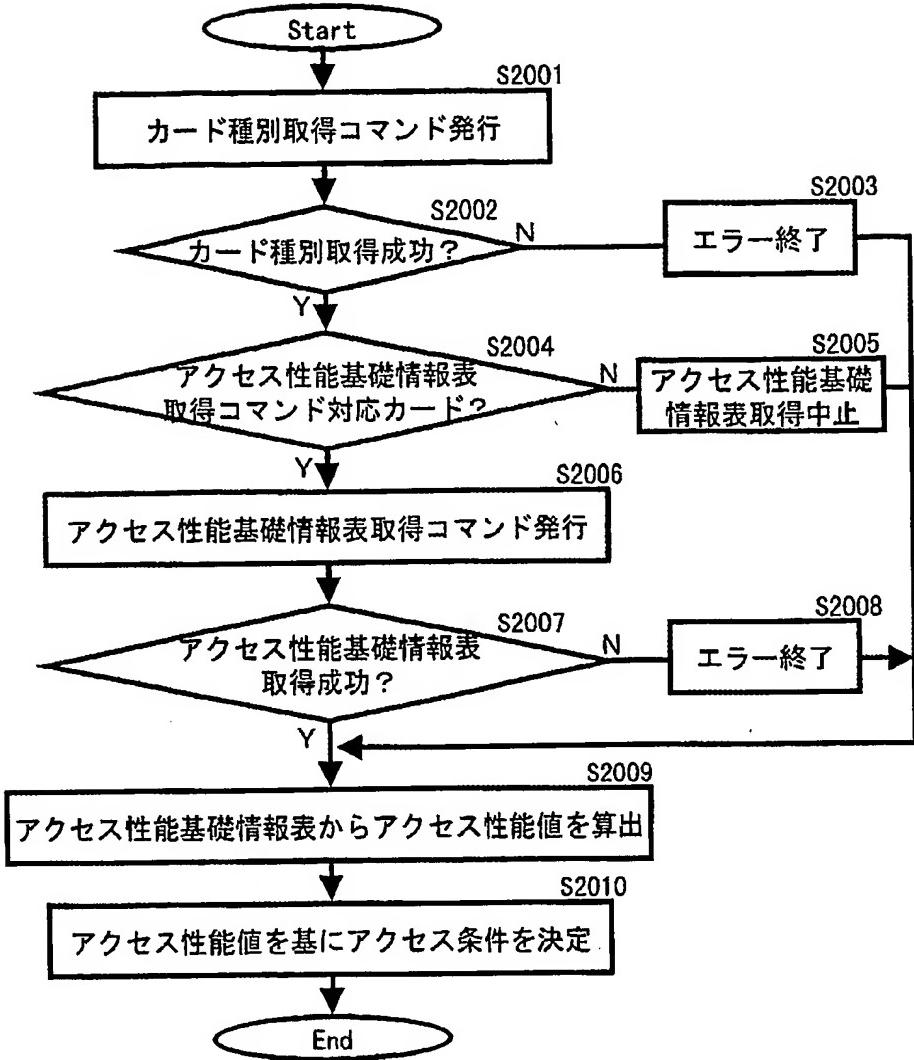
(b) アクセス性能値

転送レート	速度性能レベル
リード処理の転送レート(平均値) = 11MB/s	高速
ライト処理の転送レート(平均値) = 10MB/s	高速
イレース処理の転送レート(平均値) = 10.3MB/s	高速
リード処理の転送レート(最悪値) = 6MB/s	高速
ライト処理の転送レート(最悪値) = 5MB/s	高速
イレース処理の転送レート(最悪値) = 5.1MB/s	高速

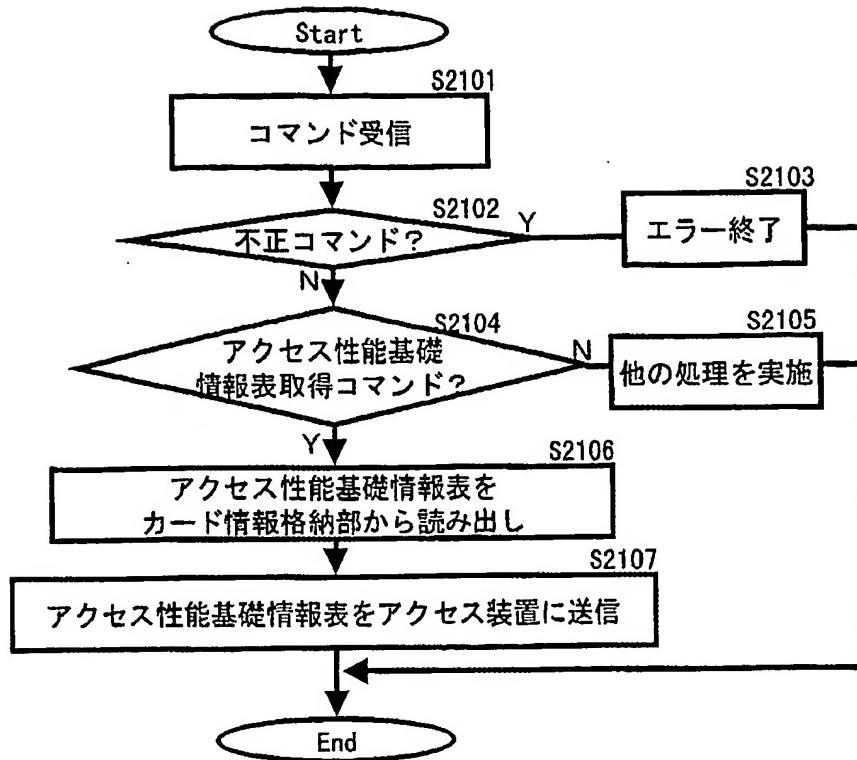
【図19】



【図20】



【図 21】



【図22】

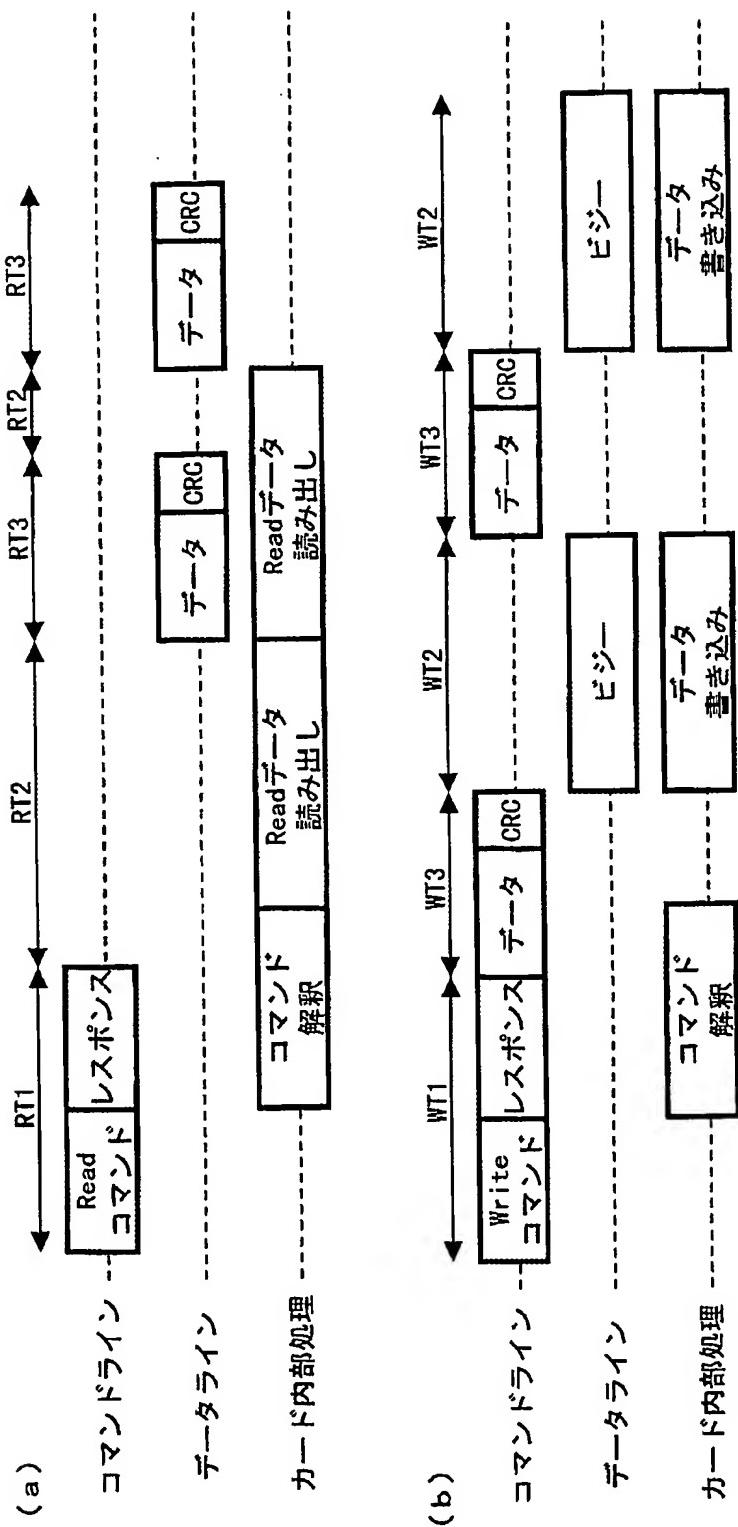
(a) アクセス性能基礎情報表

処理内容		
リード	ライト	イレース
Table 1-A	Table 1-B	Table 1-C

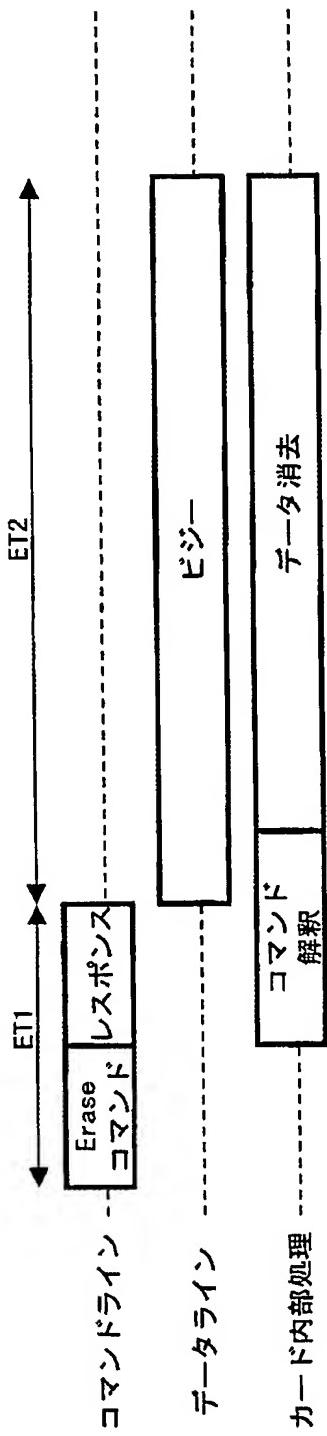
(b) カード内部処理時間（ライト処理における512Bytesデータ転送あたりのビー時時間の例）

処理単位サイズ	標準値		最悪値	
	シーケンシャル	ランダム	シーケンシャル	ランダム
512Bytes	17ms	25ms	25ms	51ms
16KB	43μs	690μs	128μs	1.6ms
128KB	9.2μs	22μs	60μs	86μs
256KB	9.2μs	22μs	60μs	86μs
1MB	9.2μs	22μs	60μs	86μs

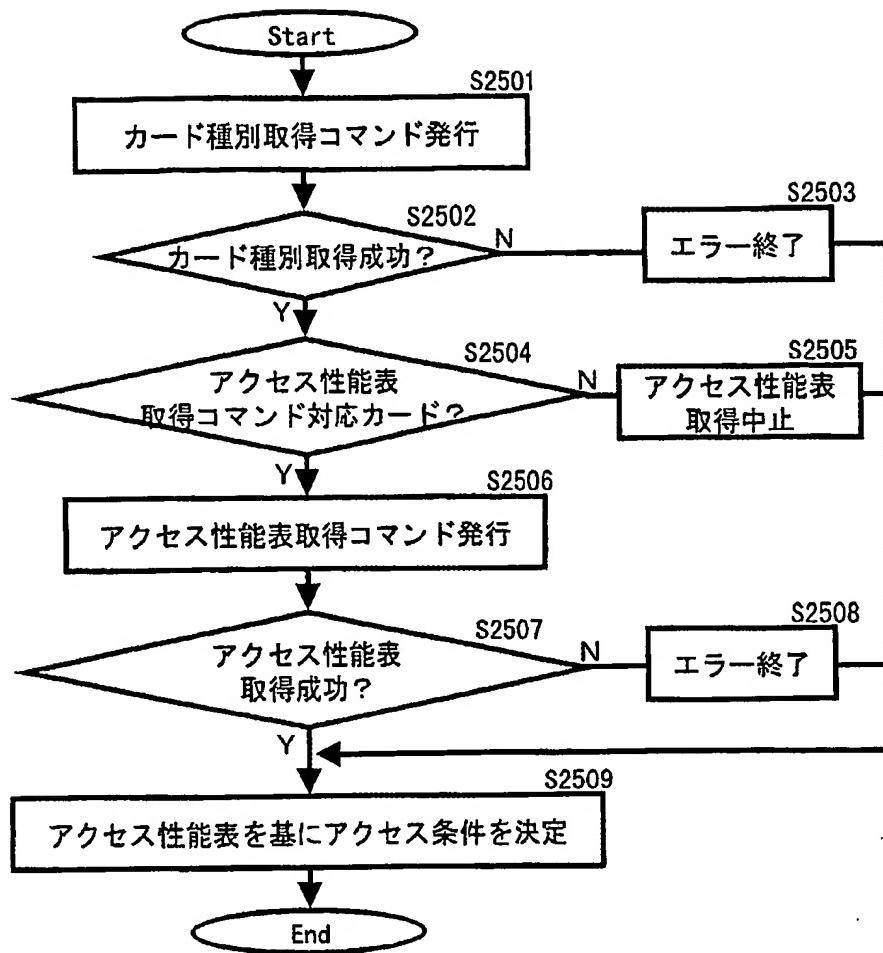
【図23】



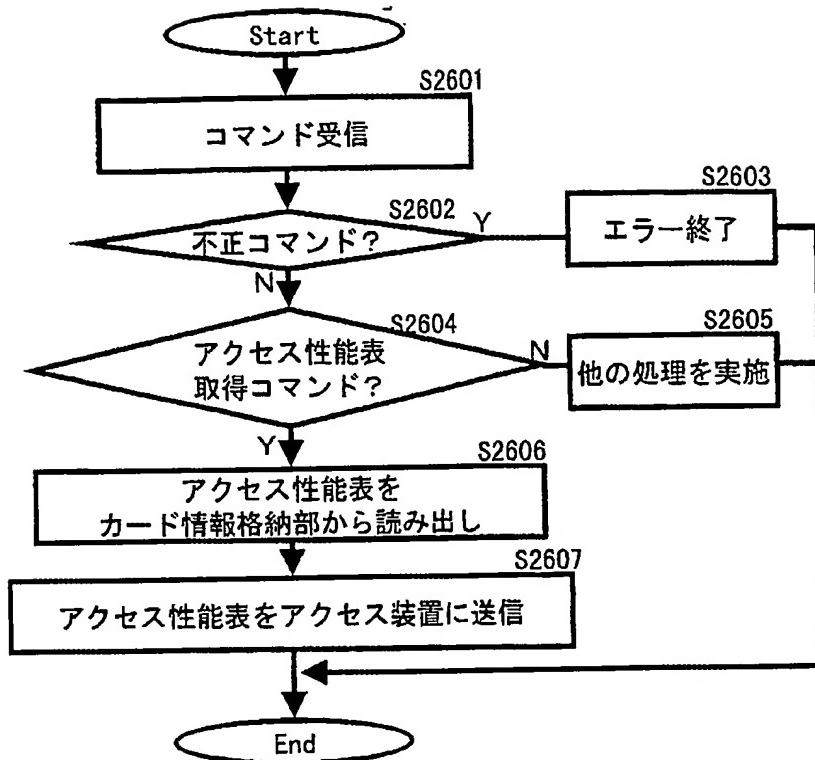
【図 24】



【図25】



【図26】



【図27】

(a) アクセス性能表

		処理内容	
		リード	ライト
入力クロック	12.5MHz	Table 1-A	Table 1-B
	25MHz	Table 2-A	Table 2-B
	50MHz	Table 3-A	Table 3-B

(b) 単位時間あたりに処理可能なデータサイズ(入力クロック=25MHz、処理内容=ライト時の例)

アクセス単位	標準値		最悪値	
	シーケンシャル	ランダム	シーケンシャル	ランダム
512Bytes	0.03MB	0.02MB	0.02MB	0.01MB
16KB	6MB	0.7MB	3MB	0.3MB
128KB	10MB	8MB	5MB	4MB
256KB	10MB	8MB	5MB	4MB
1MB	10MB	8MB	5MB	4MB

【図28】

(a) アクセス性能表

		処理内容		
		リード	ライト	イレース
入力クロック	12.5MHz	Table 1-A	Table 1-B	Table 1-C
	25MHz	Table 2-A	Table 2-B	Table 2-C
	50MHz	Table 3-A	Table 3-B	Table 3-C

(b) 単位サイズのデータ処理に必要な時間（入力クロック=25MHz、処理内容=ライト時の例）

アクセス単位	標準値		最悪値	
	シーケンシャル	ランダム	シーケンシャル	ランダム
512Bytes	17ms	26ms	26ms	51ms
16KB	3ms	23ms	5ms	55ms
128KB	13ms	16ms	26ms	33ms
256KB	26ms	33ms	52ms	66ms
1MB	105ms	131ms	210ms	262ms

【図29】

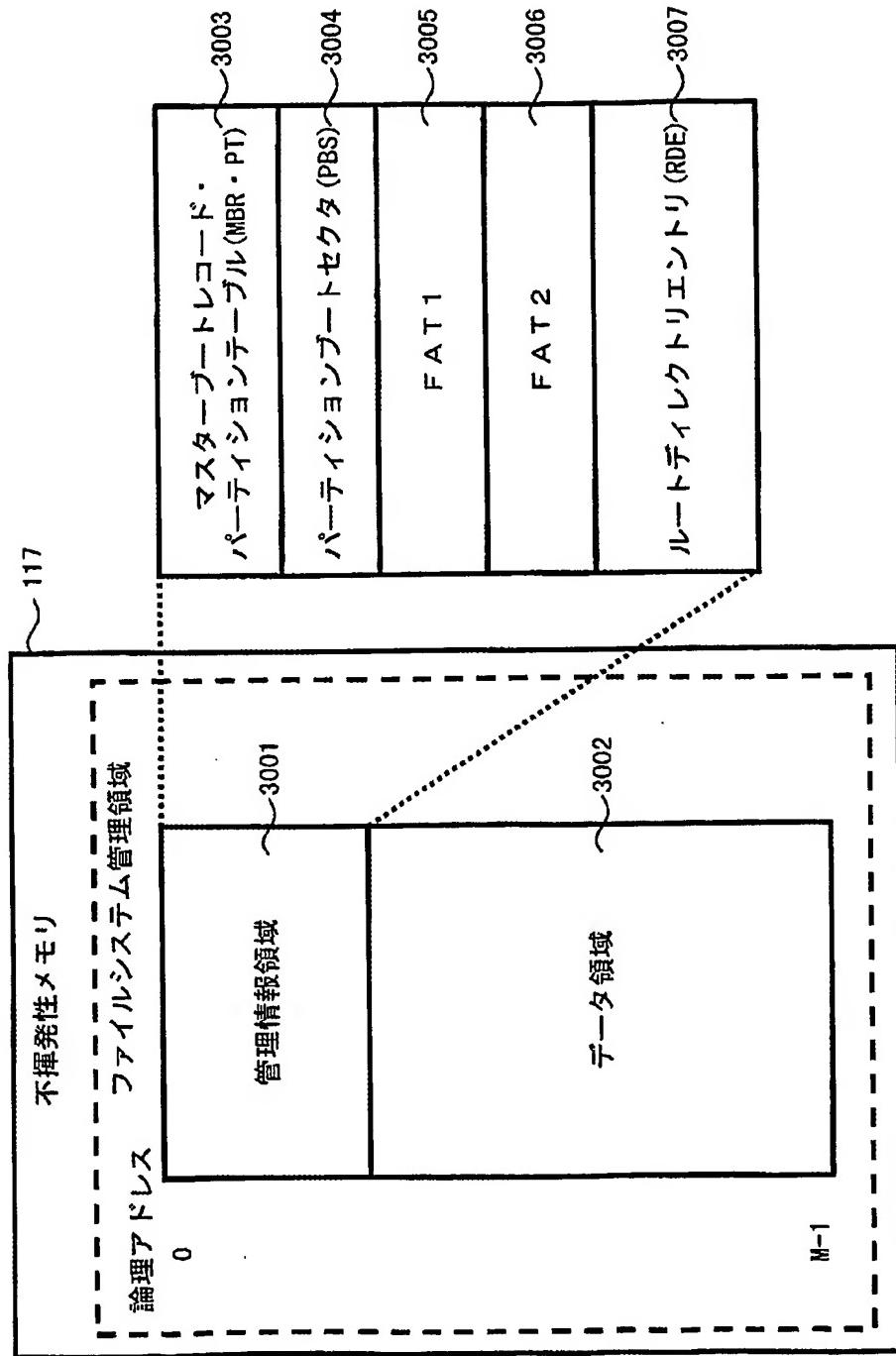
(a) アクセス性能表

		処理内容		
		リード	ライト	イレース
入力クロック	12.5MHz	Table 1-A	Table 1-B	Table 1-C
	25MHz	Table 2-A	Table 2-B	Table 2-C
	50MHz	Table 3-A	Table 3-B	Table 3-C

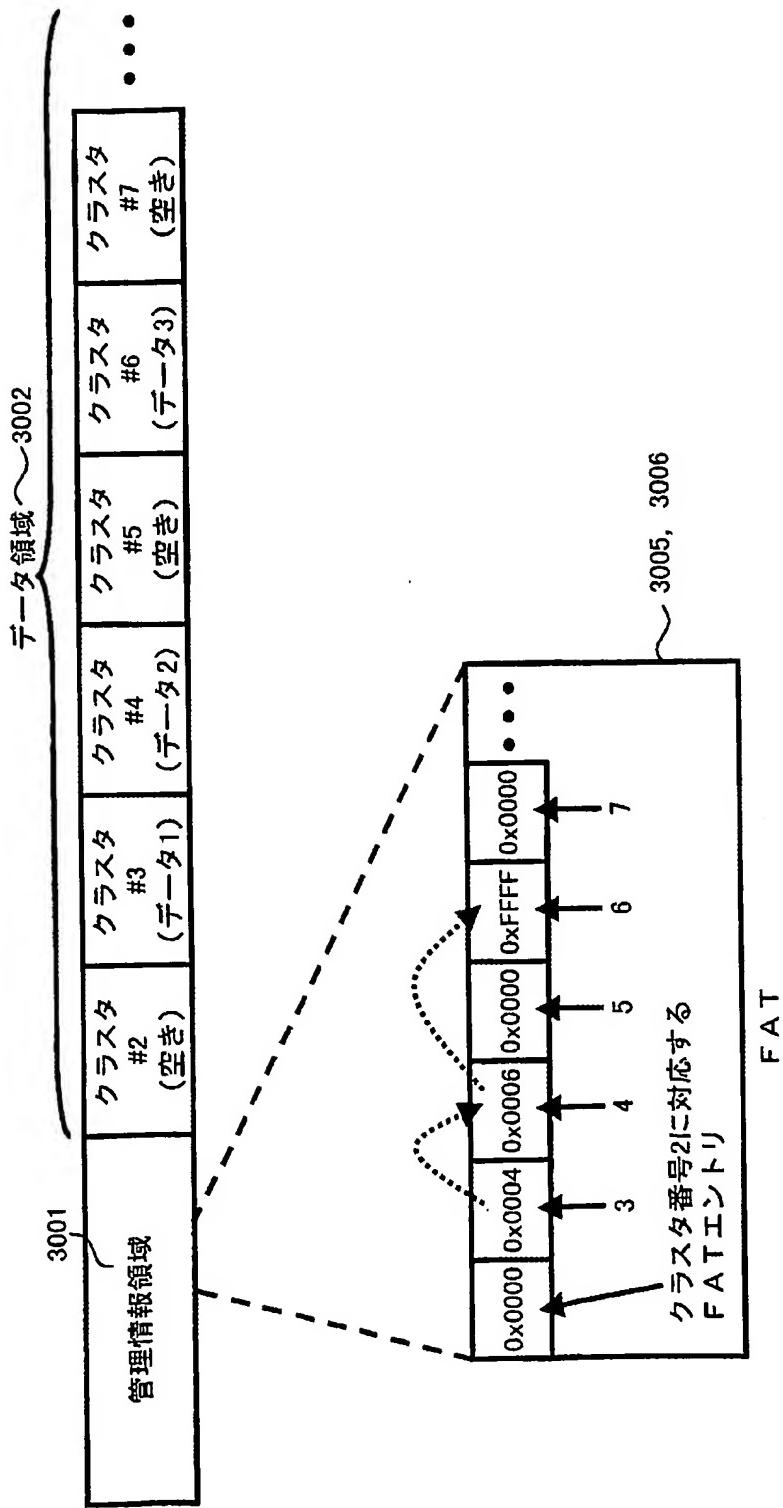
(b) 単位サイズでアクセスした際の処理速度（入力クロック=25MHz、処理内容=ライト時の例）

アクセス単位	標準値		最悪値	
	シーケンシャル	ランダム	シーケンシャル	ランダム
512Bytes	0.03MB/s	0.02MB/s	0.02MB/s	0.01MB/s
16KB	6MB/s	0.7MB/s	3MB/s	0.3MB/s
128KB	10MB/s	8MB/s	5MB/s	4MB/s
256KB	10MB/s	8MB/s	5MB/s	4MB/s
1MB	10MB/s	8MB/s	5MB/s	4MB/s

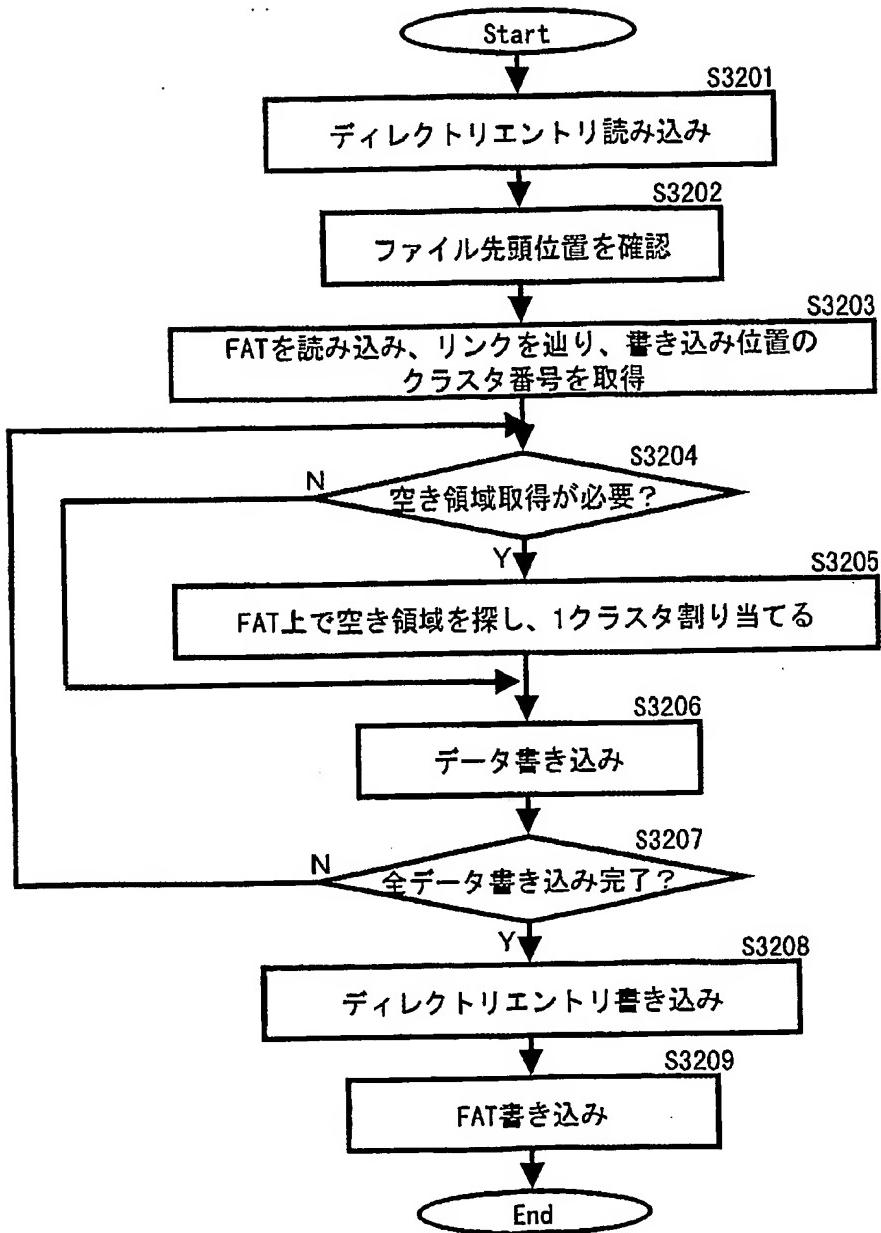
【図30】



【図31】



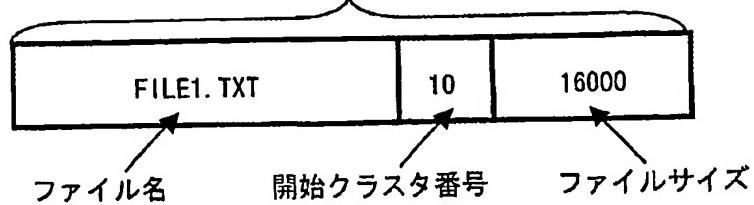
【図32】



【図 3.3】

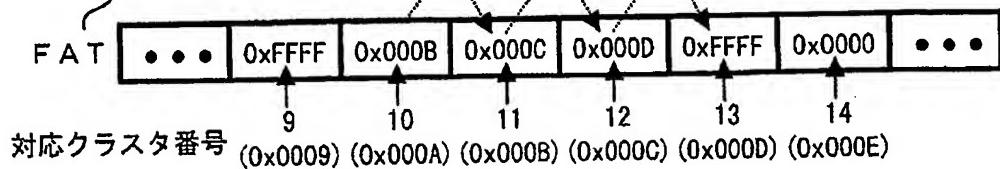
(a)

ディレクトリエントリ～3301



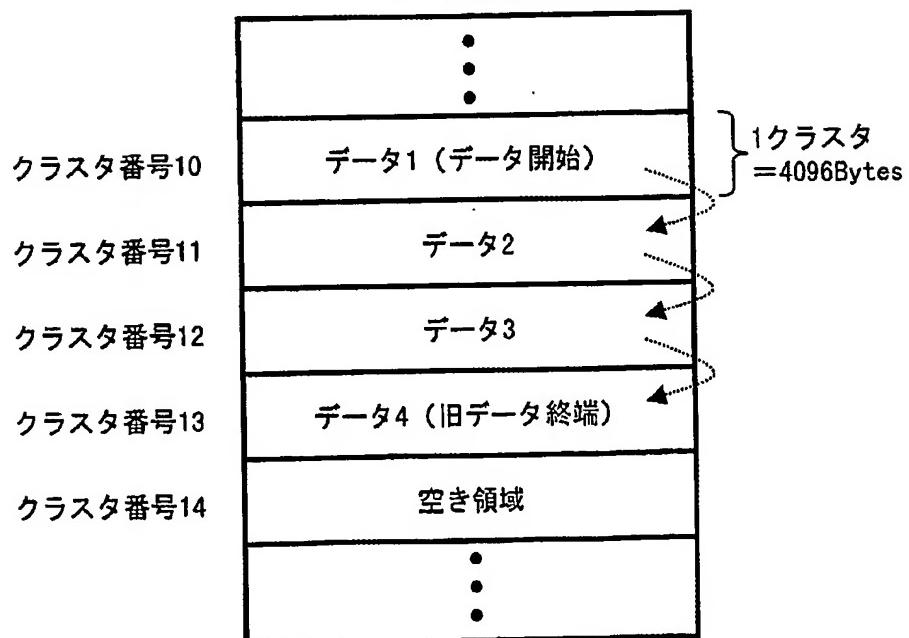
(b)

3005, 3006

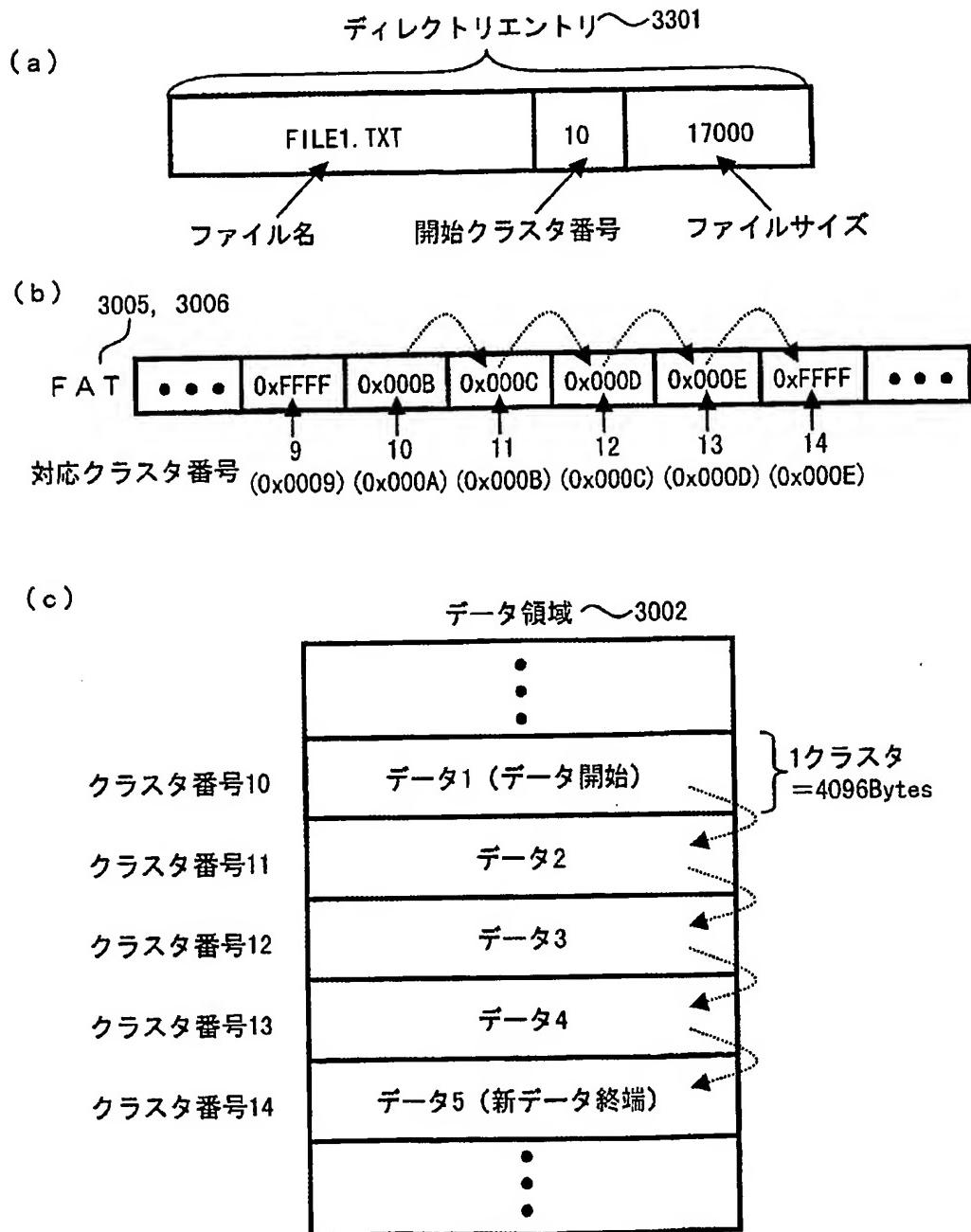


(c)

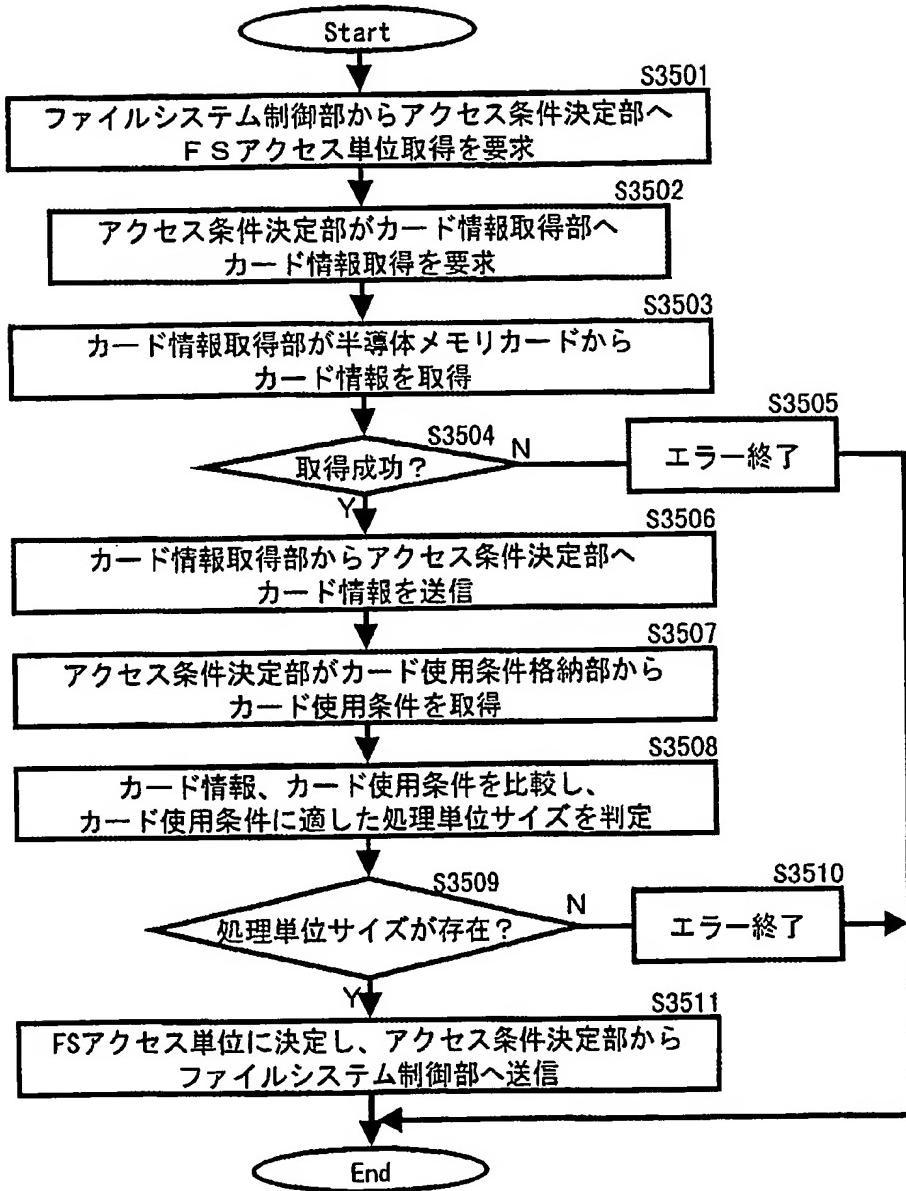
データ領域～3002



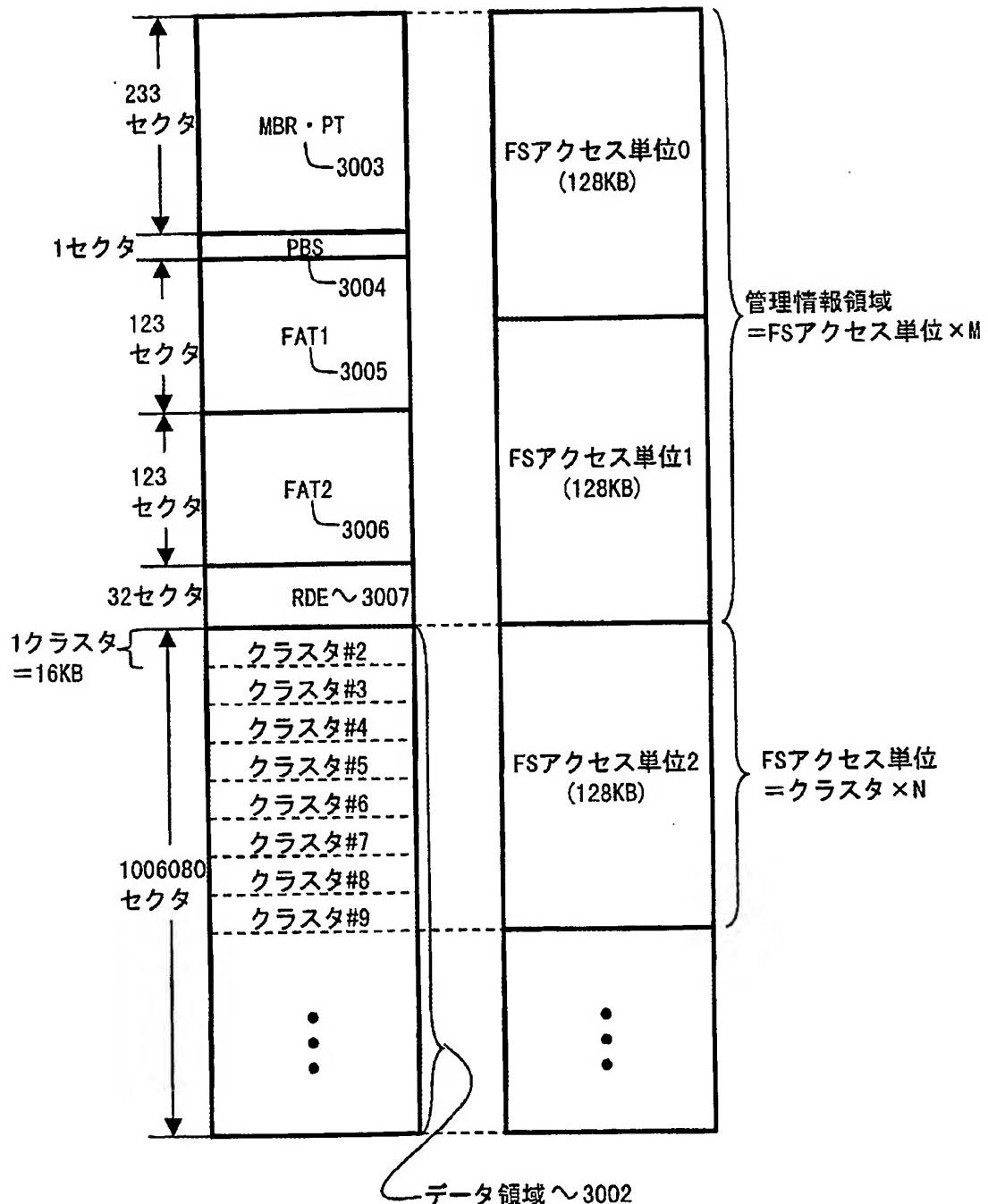
【図34】



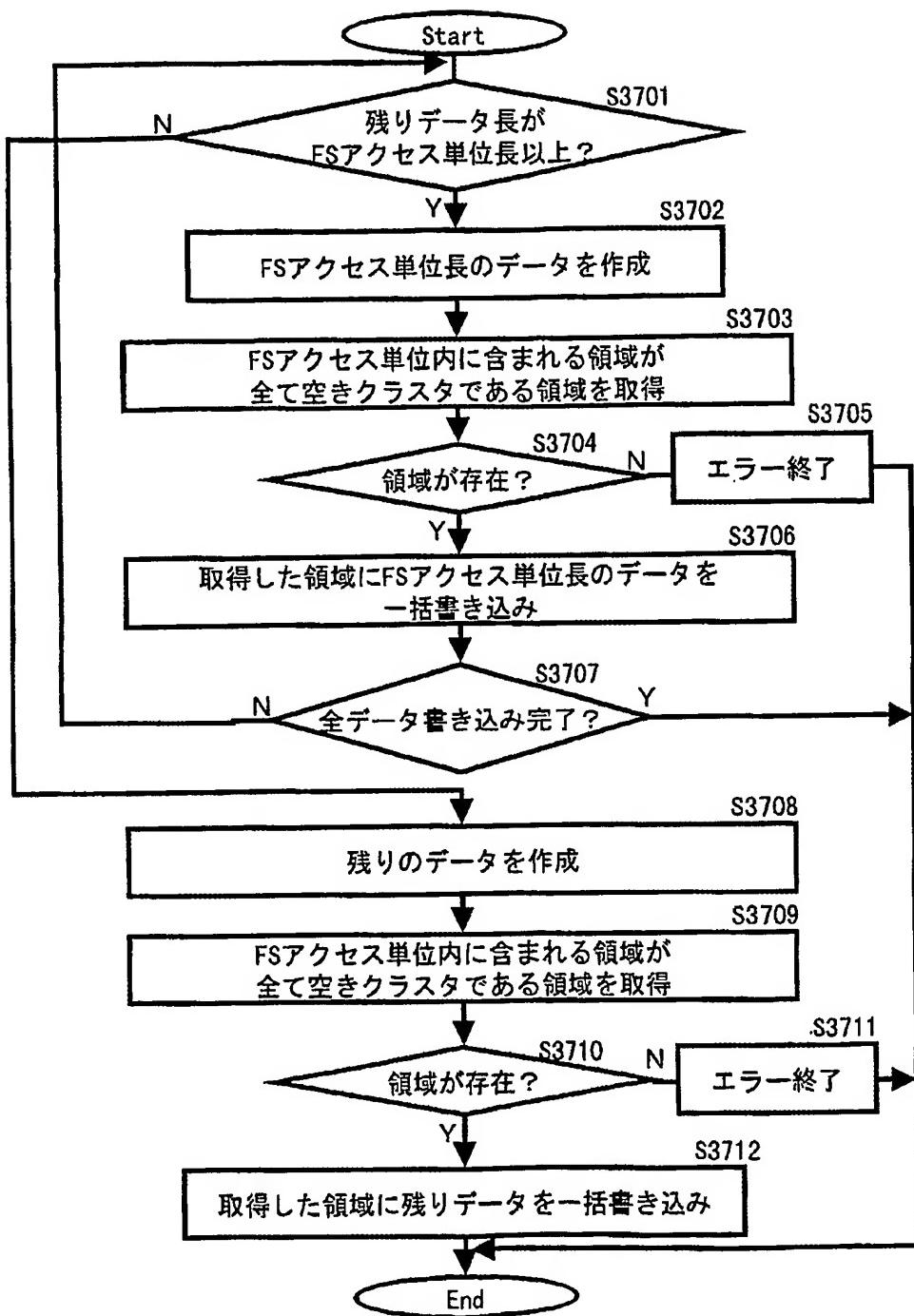
【図35】



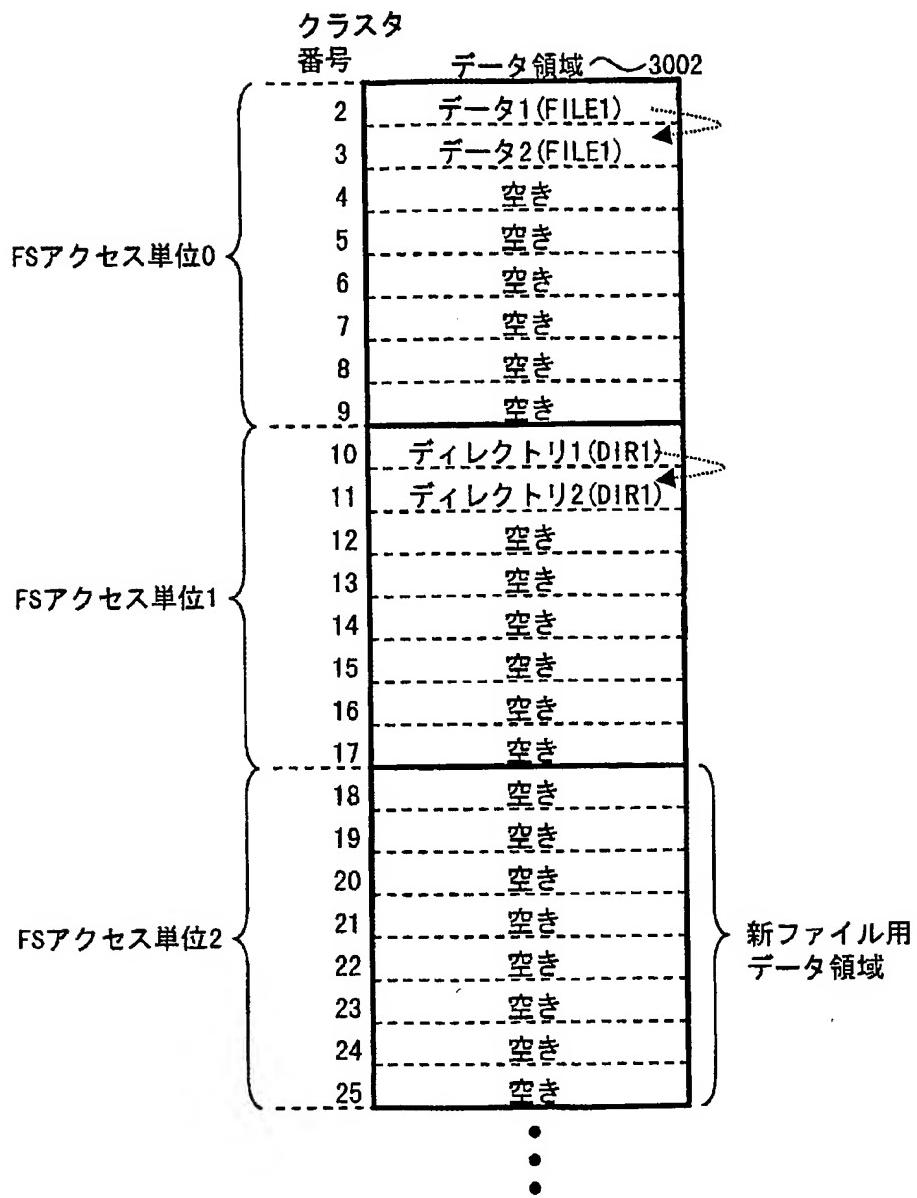
【図 36】



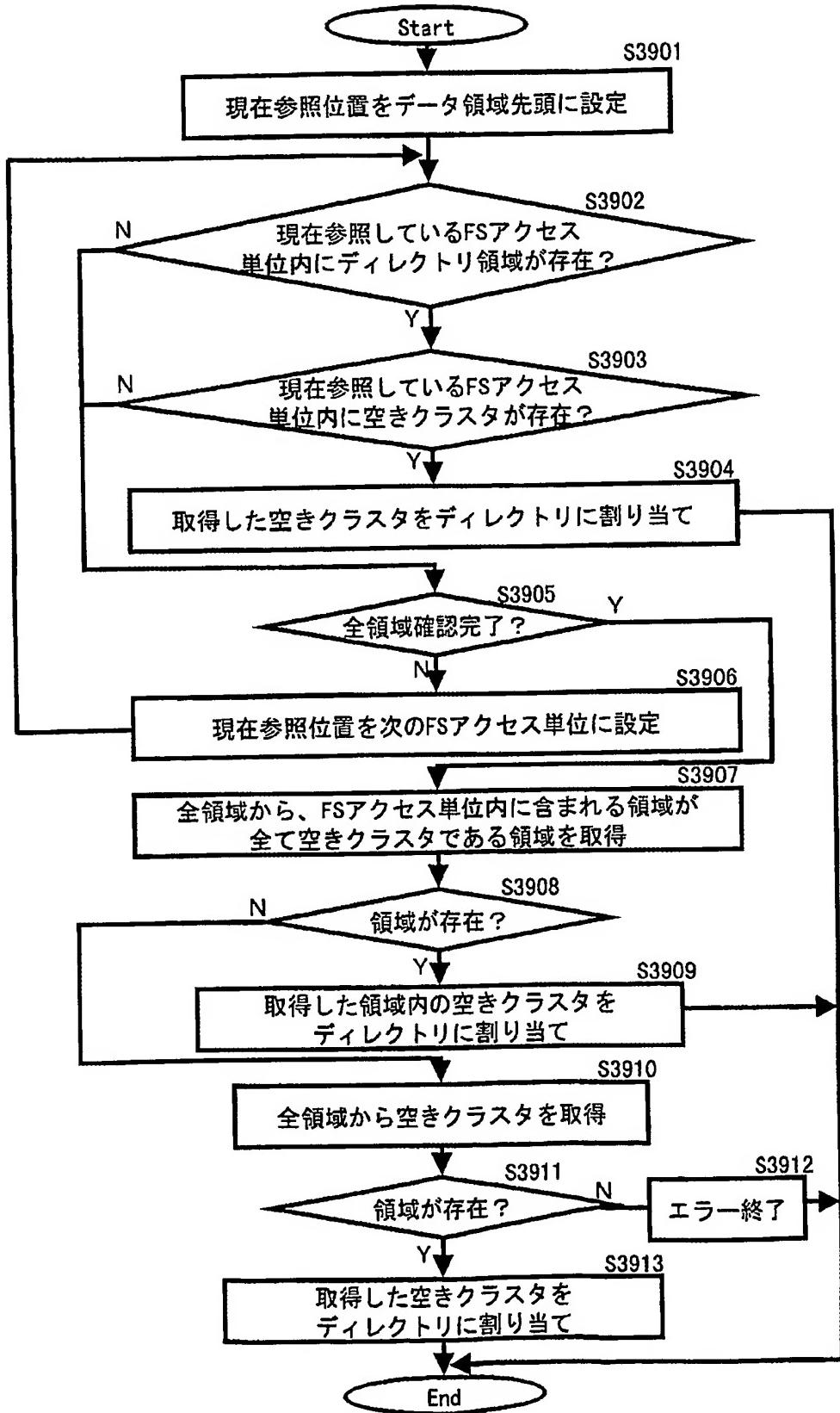
【図37】



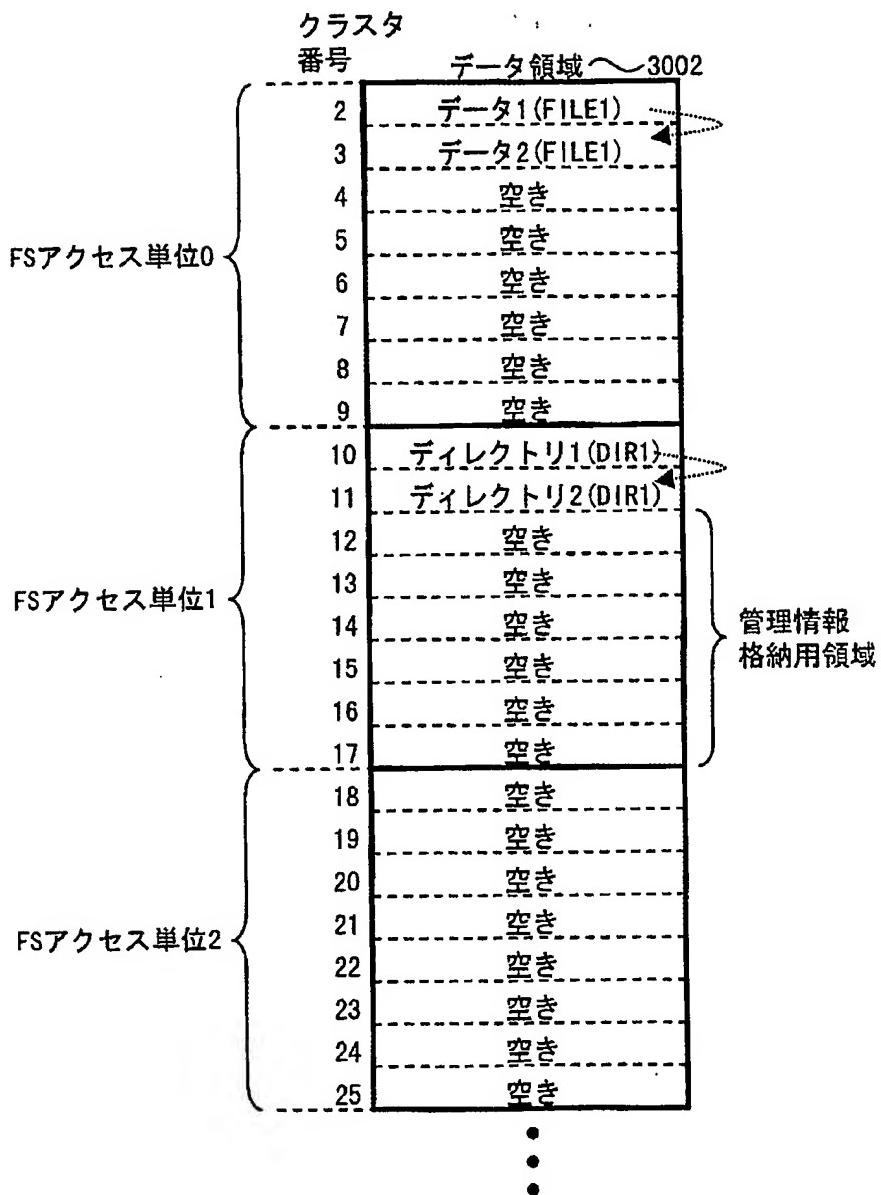
【図38】



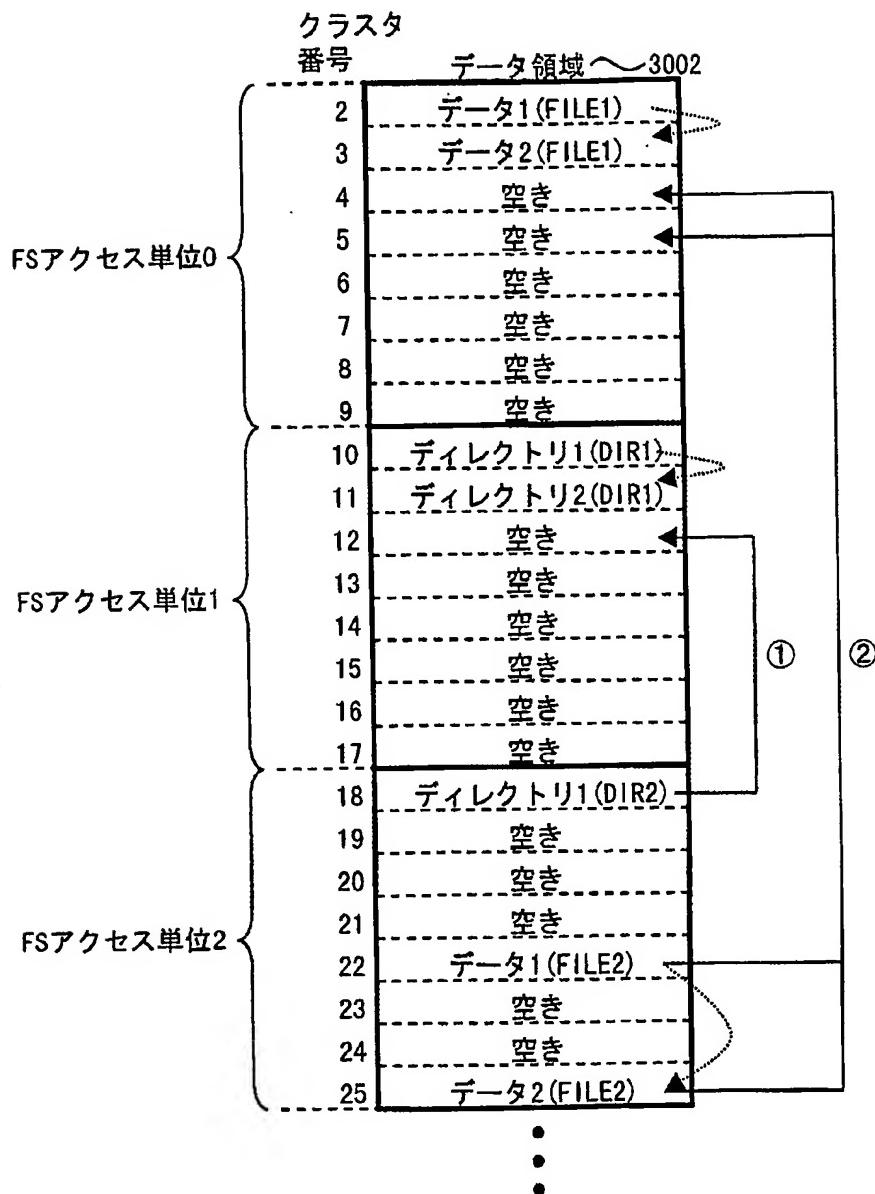
【図39】



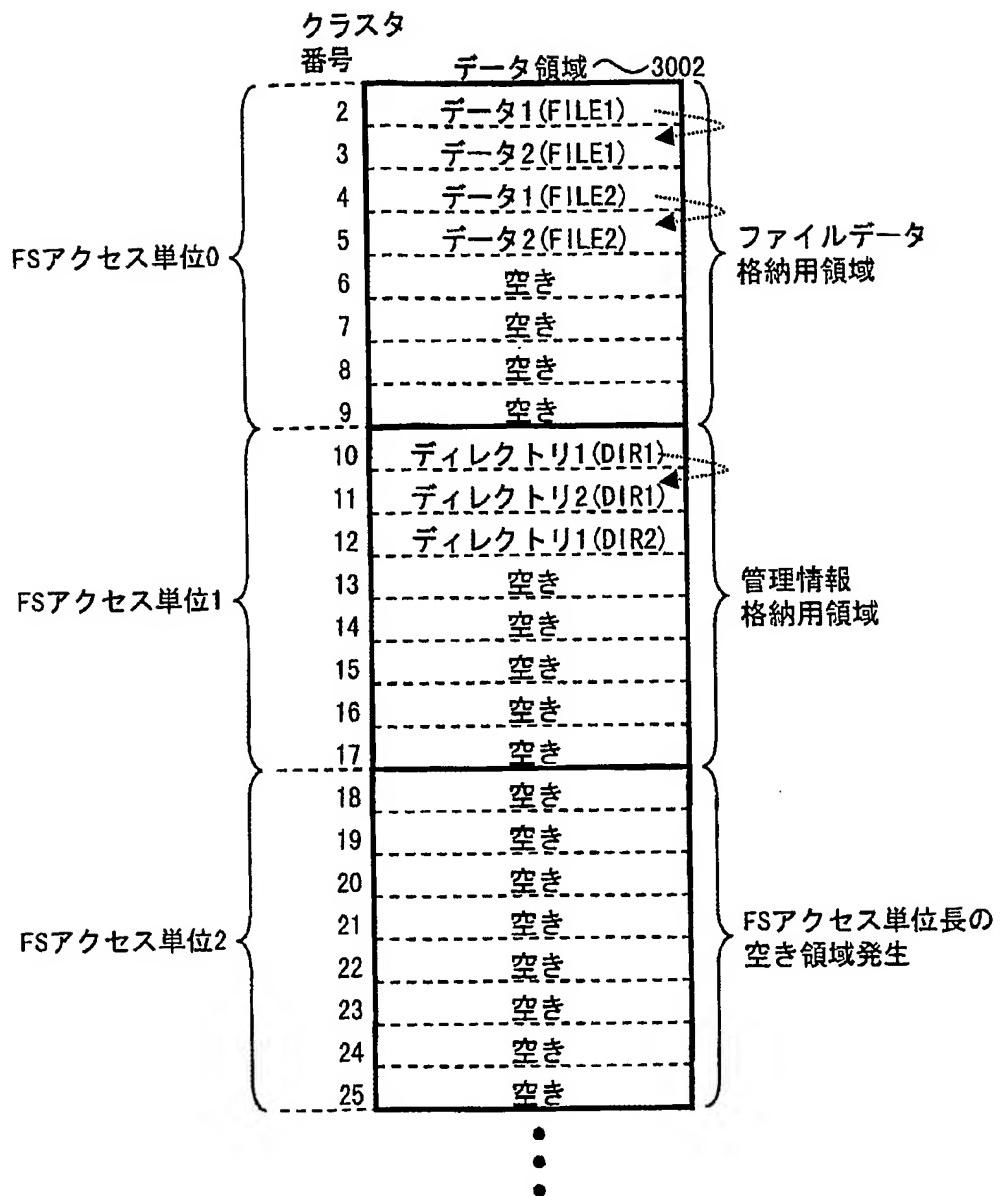
【図40】



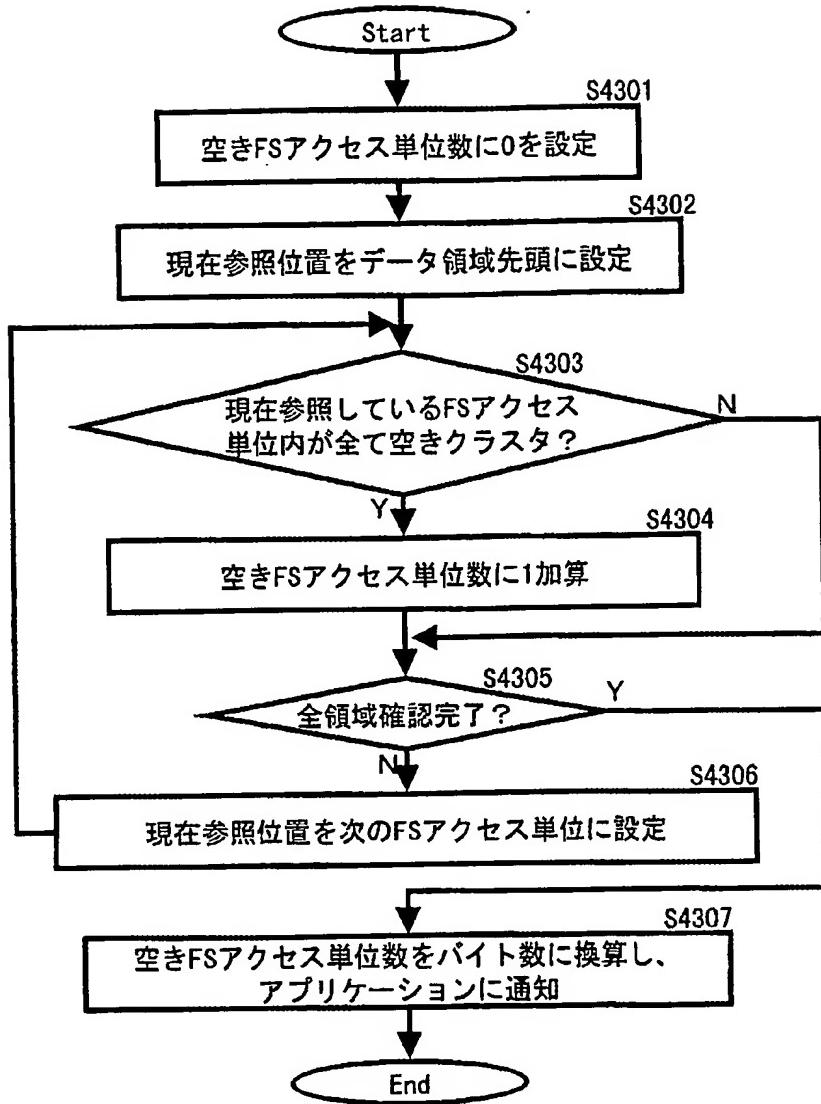
【図41】



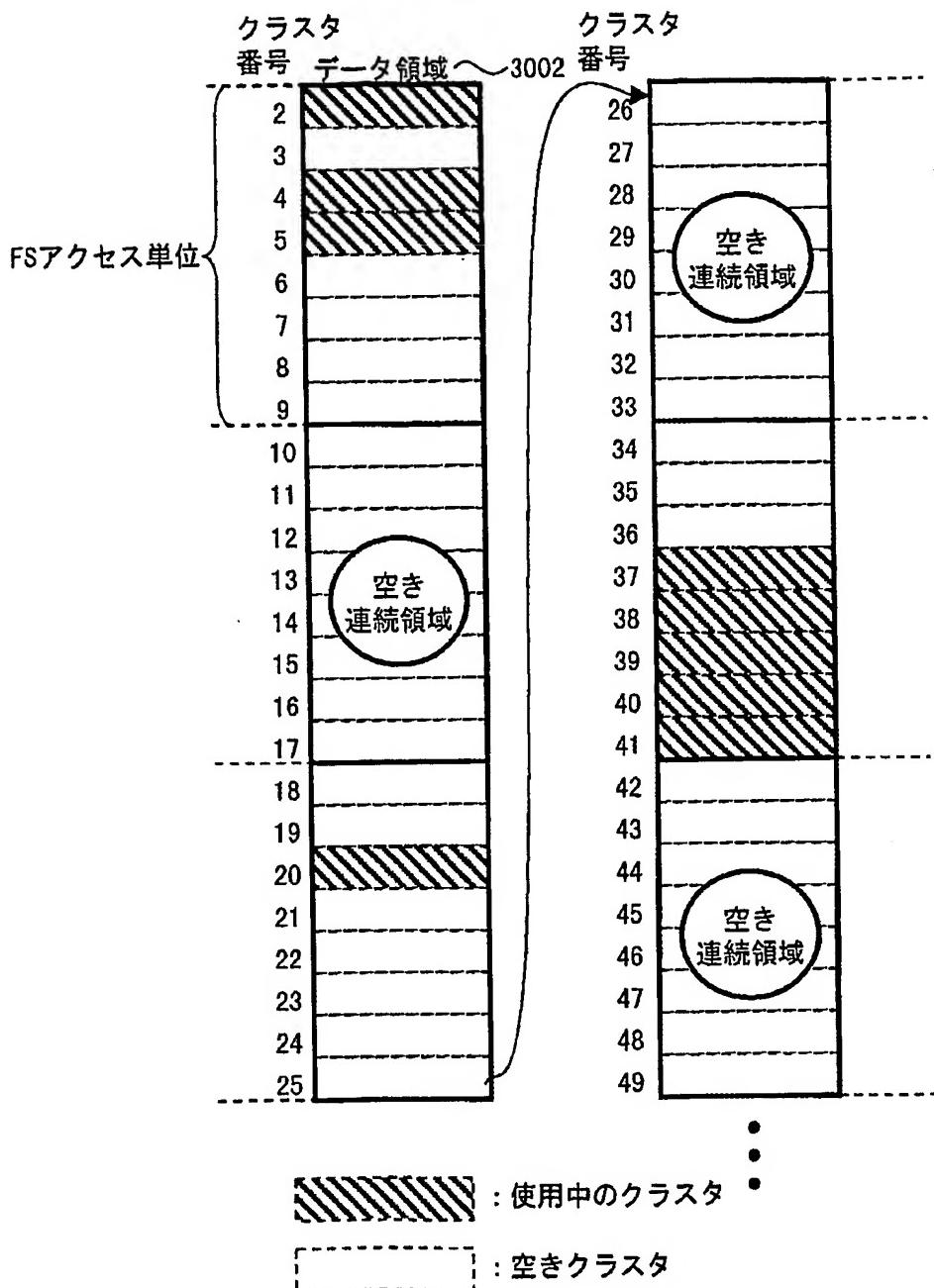
【図42】



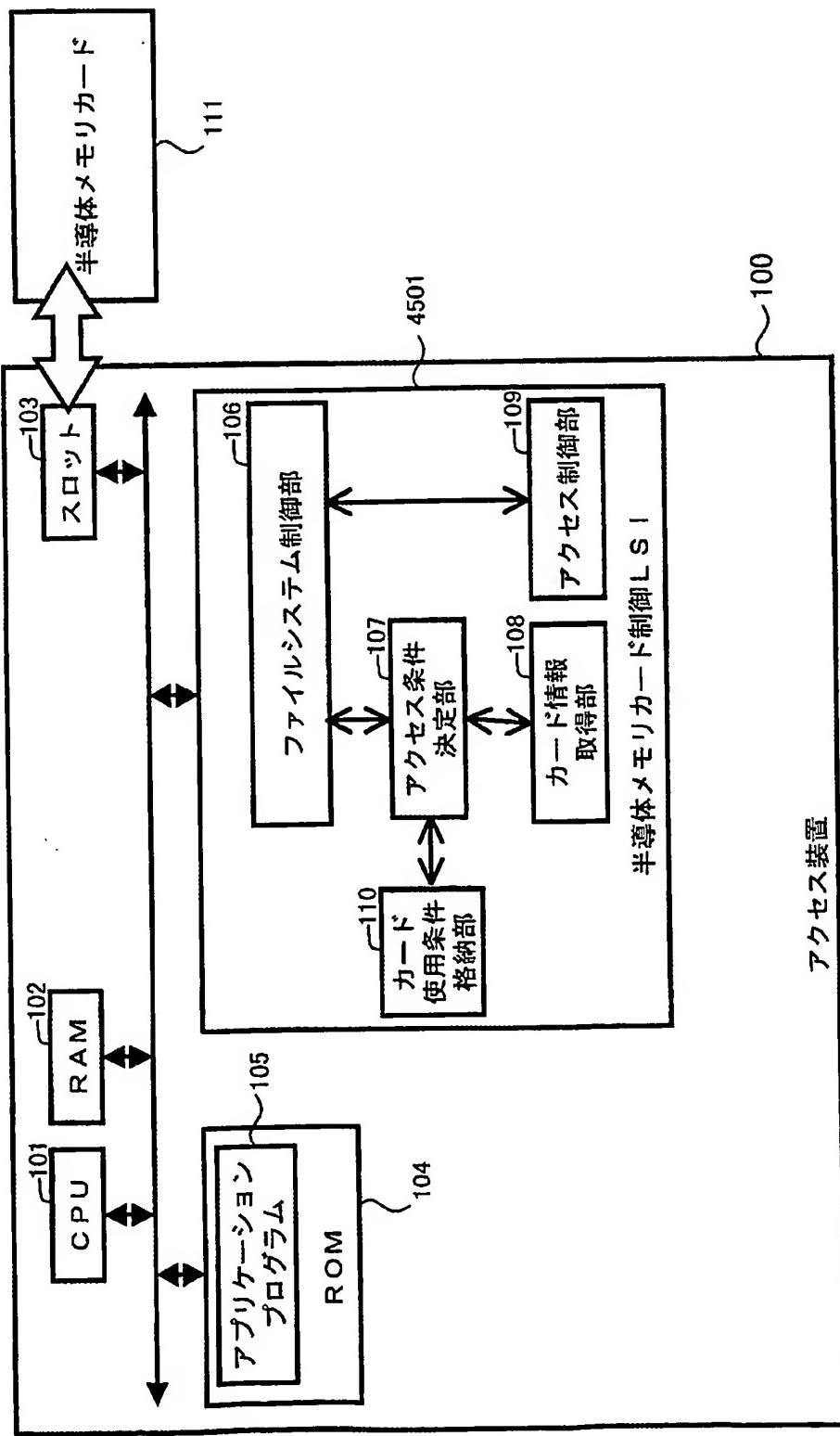
【図43】



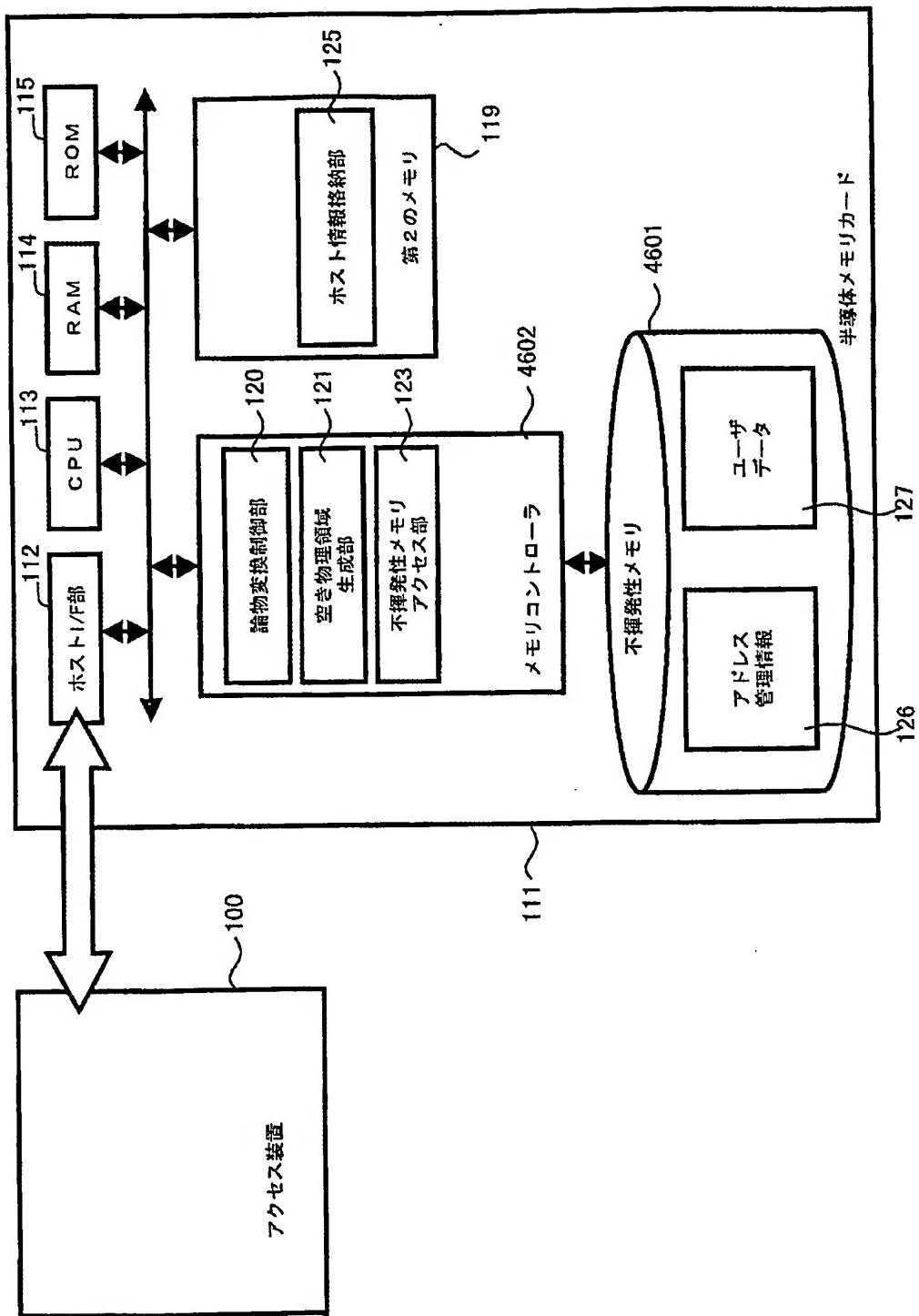
【図 44】



【図45】



【図46】



【図47】

(a)

論理セクタ  
アドレス

物理セクタアドレス

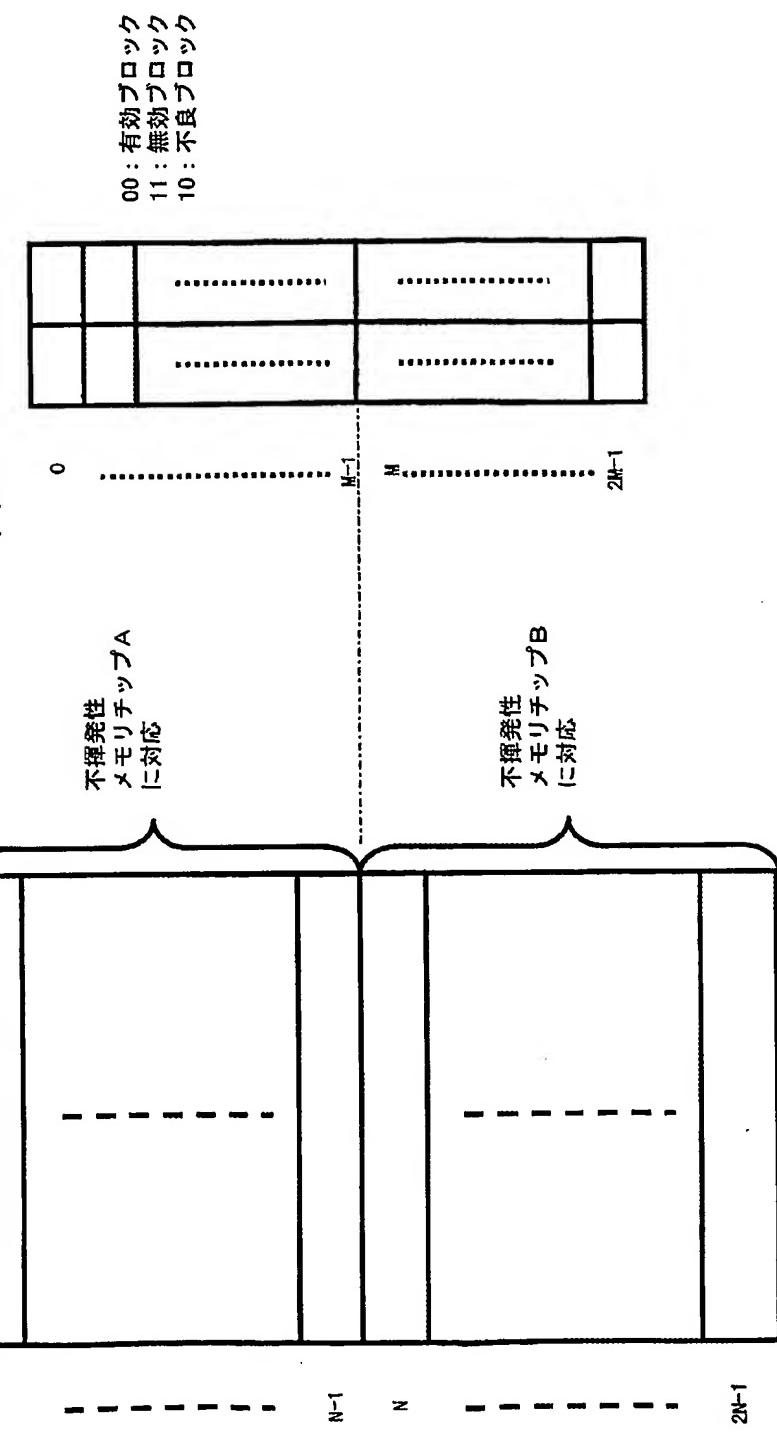
0

不揮発性  
メモリチップA  
に対応

N-1

N

2N-1



(b)

論理セクタ  
アドレス

物理ブロックアドレス

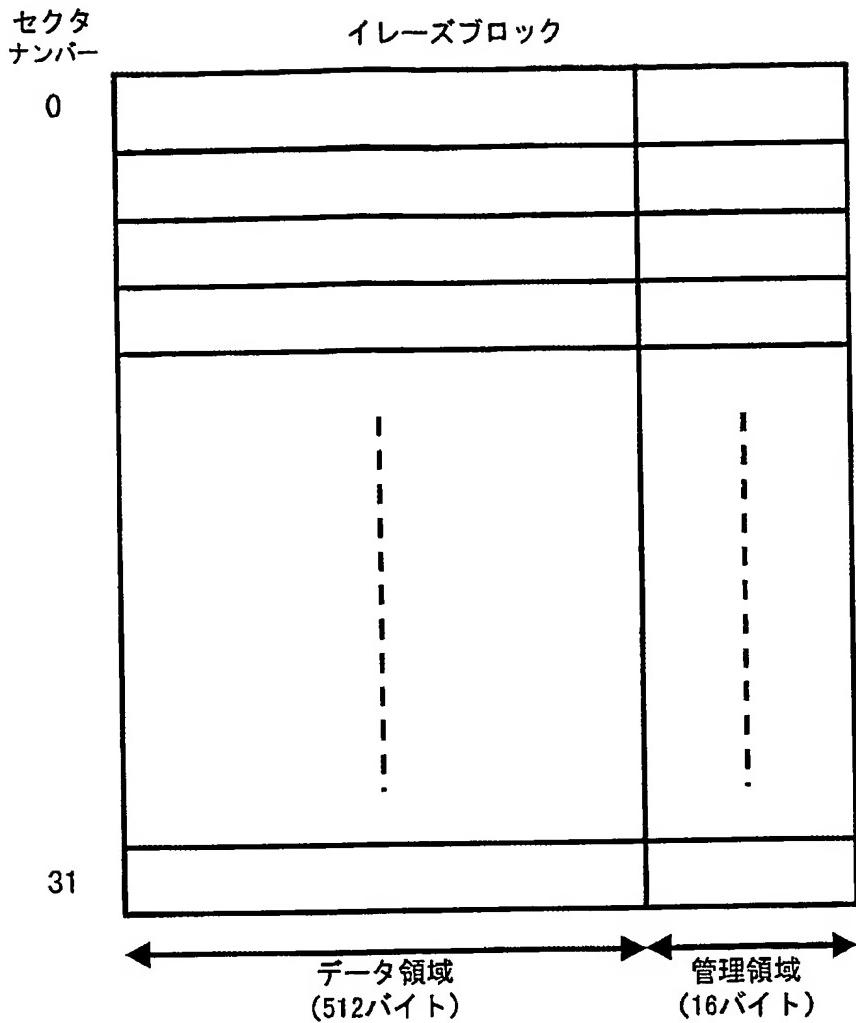
0

エントリーテーブル

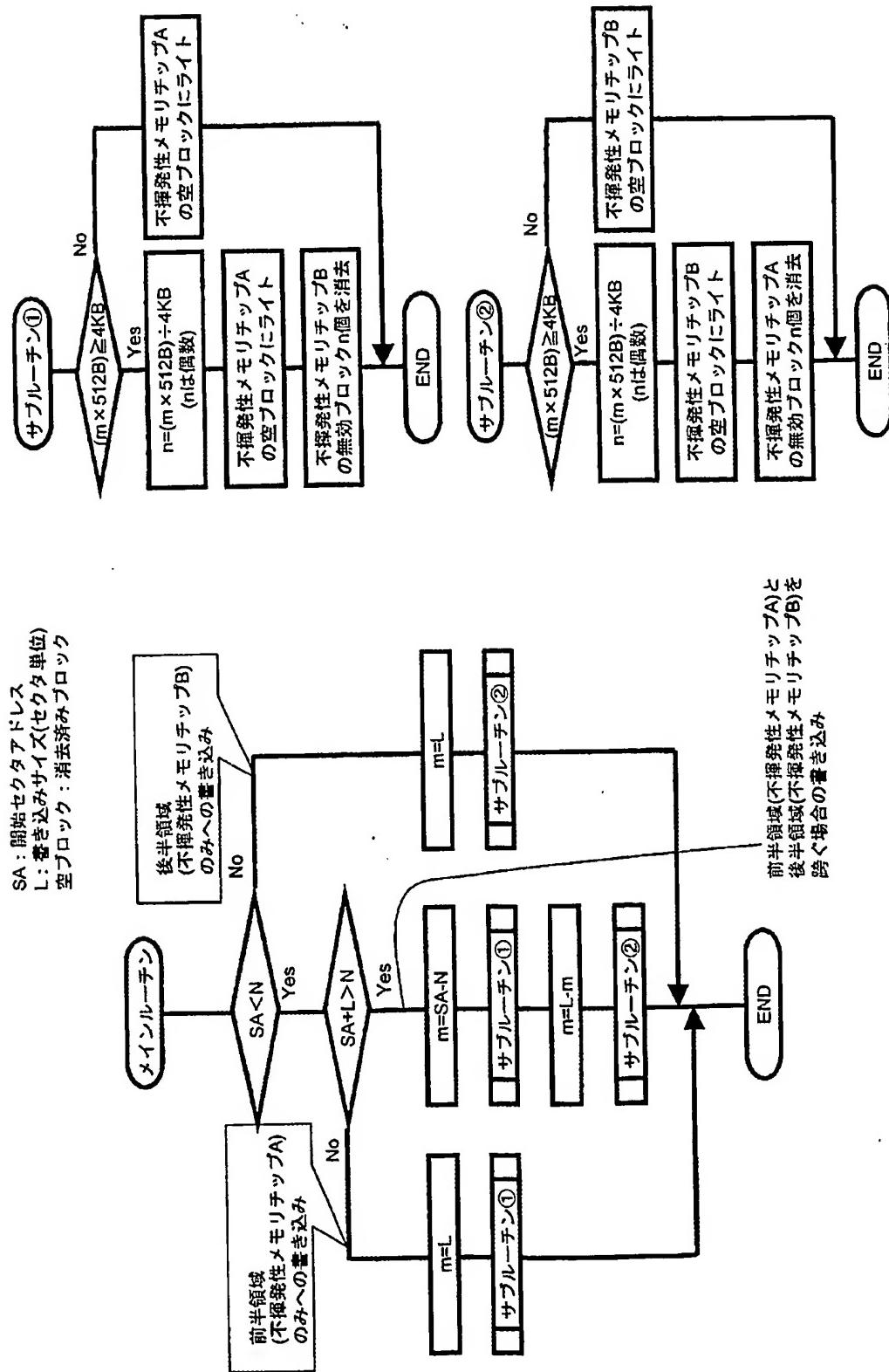
00: 有効ブロック  
11: 無効ブロック  
10: 不良ブロック $M$  $2N-1$ 不揮発性  
メモリチップB  
に対応

	.....	.....	
	.....	.....	

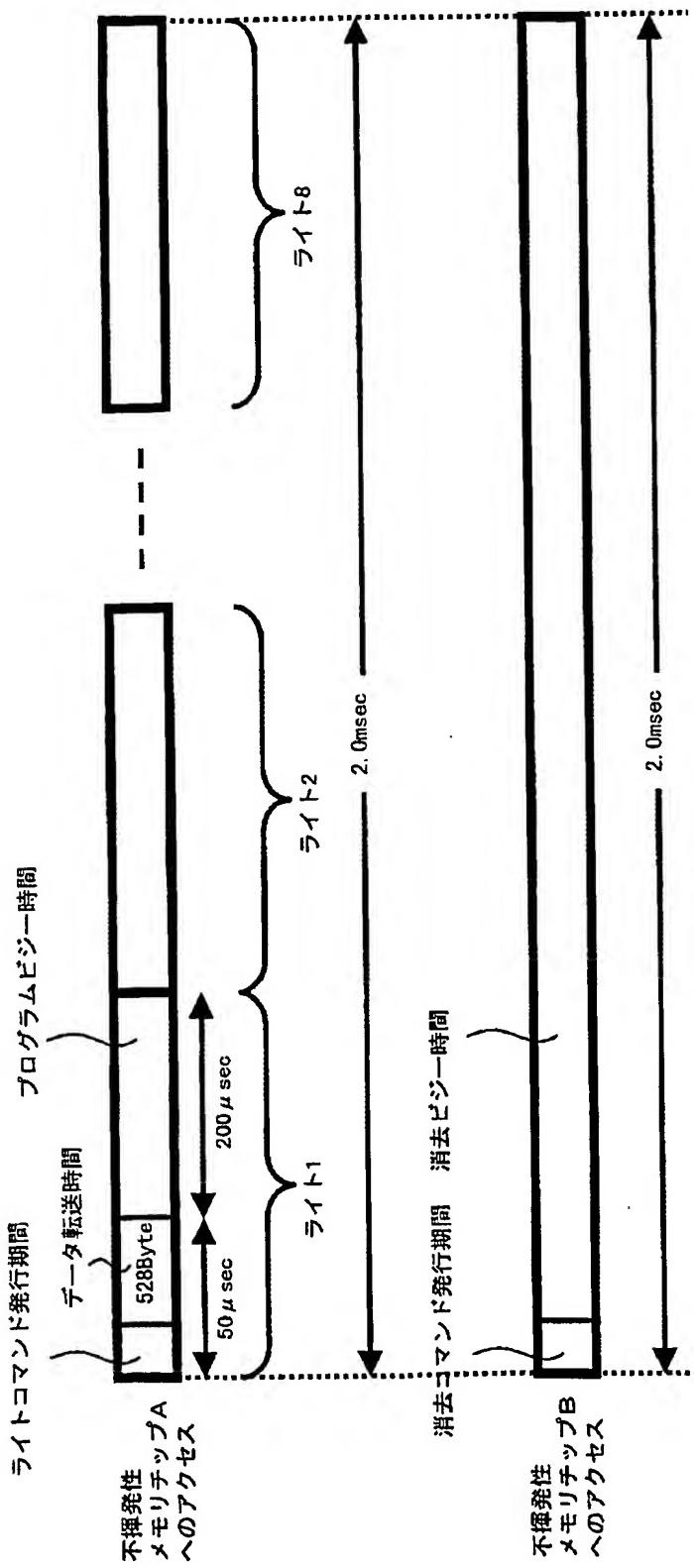
【図48】



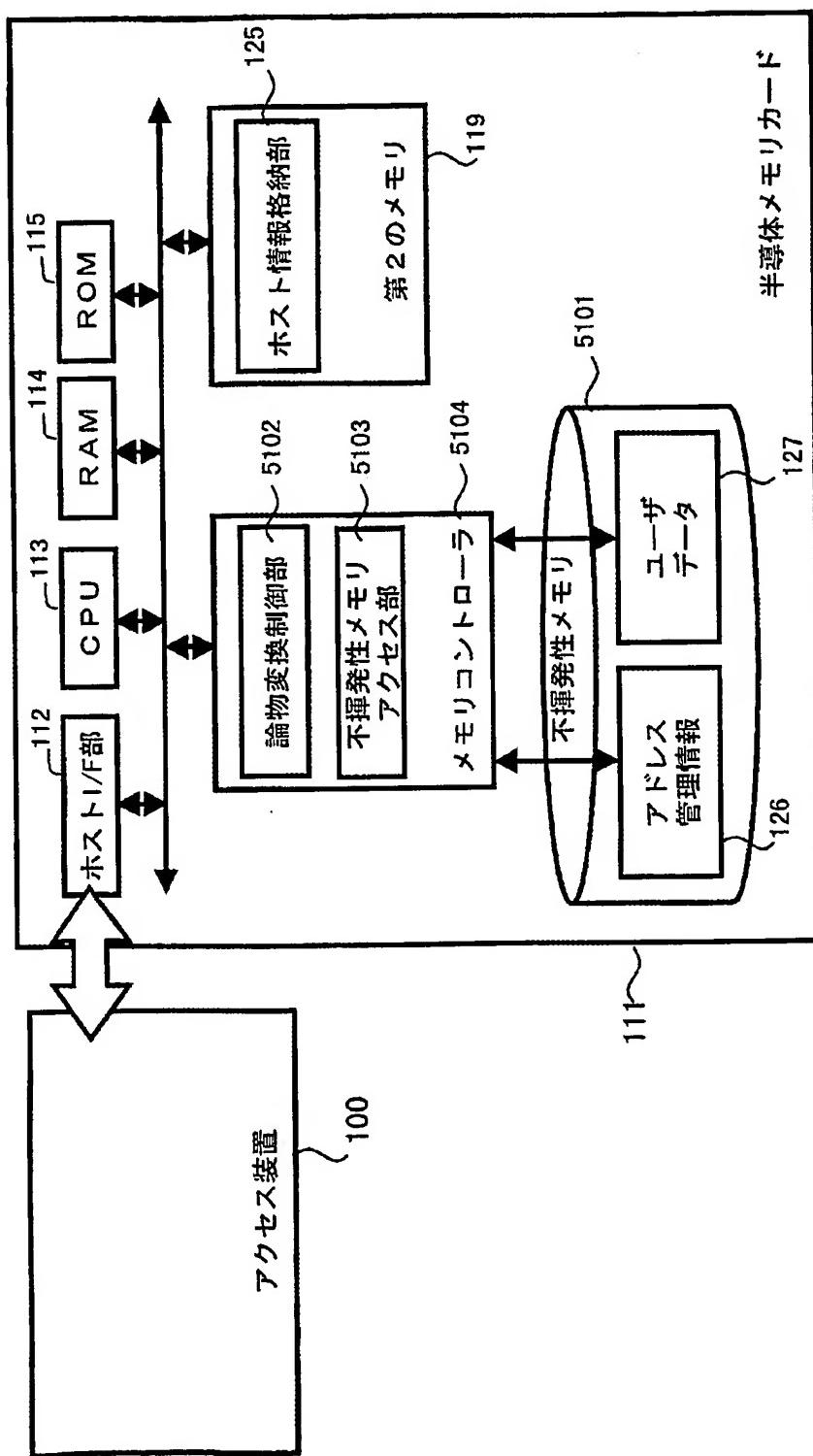
【図 4.9】



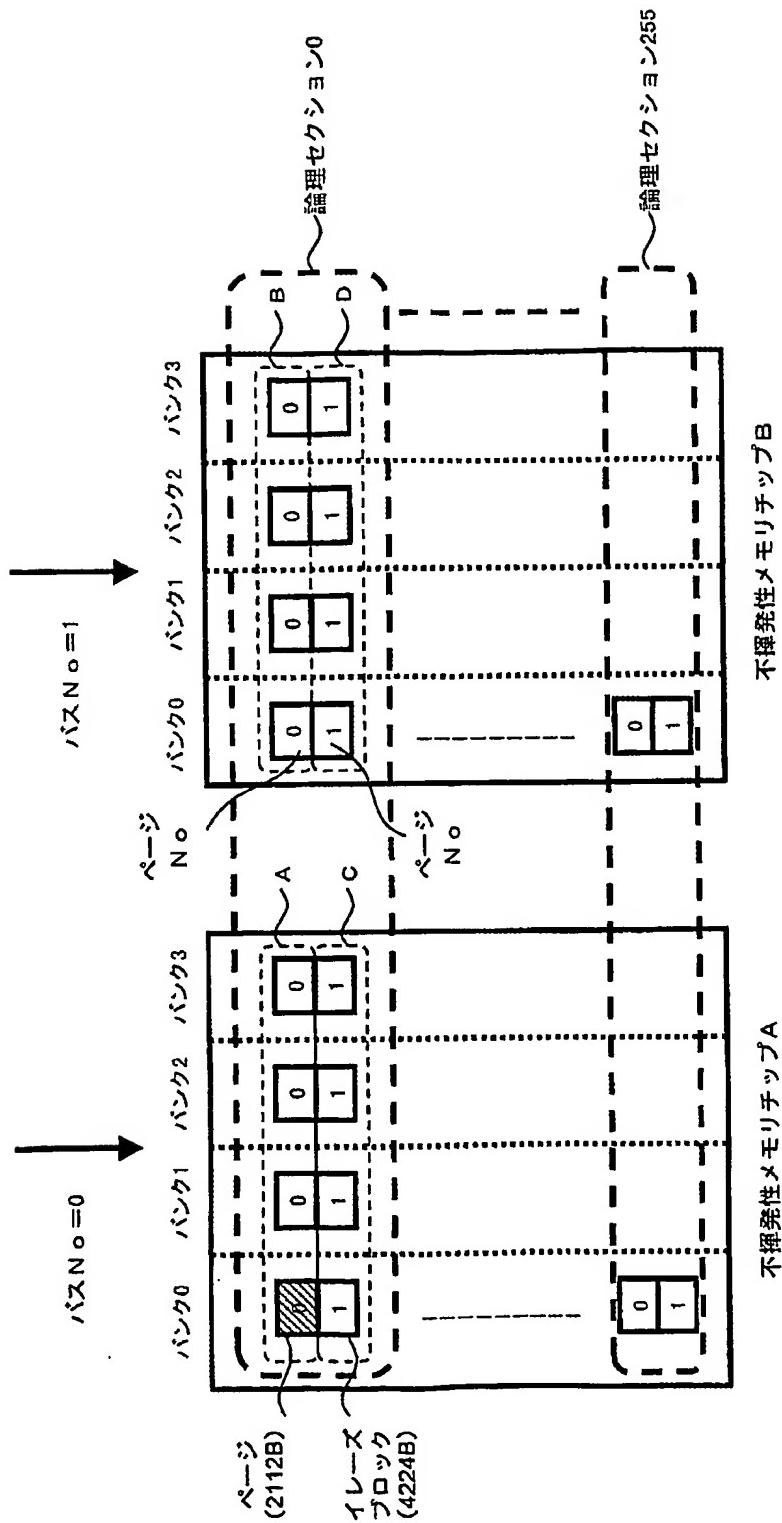
【図 50】



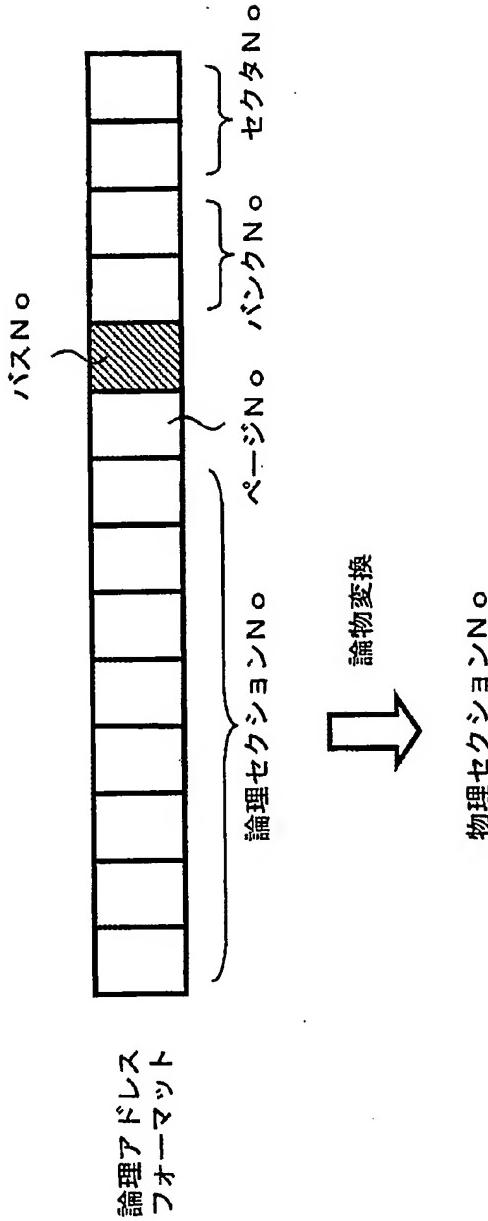
【図 51】



【図52】



【図53】



【図54】

(a)

論物変換テーブル

物理セクションNo.	物理セクションNo.	物理セクションNo.
0		

0 255

第1の不揮発性  
メモリチップAの  
バンク0の  
イレースプロックの  
物理アドレスに対応

(b)

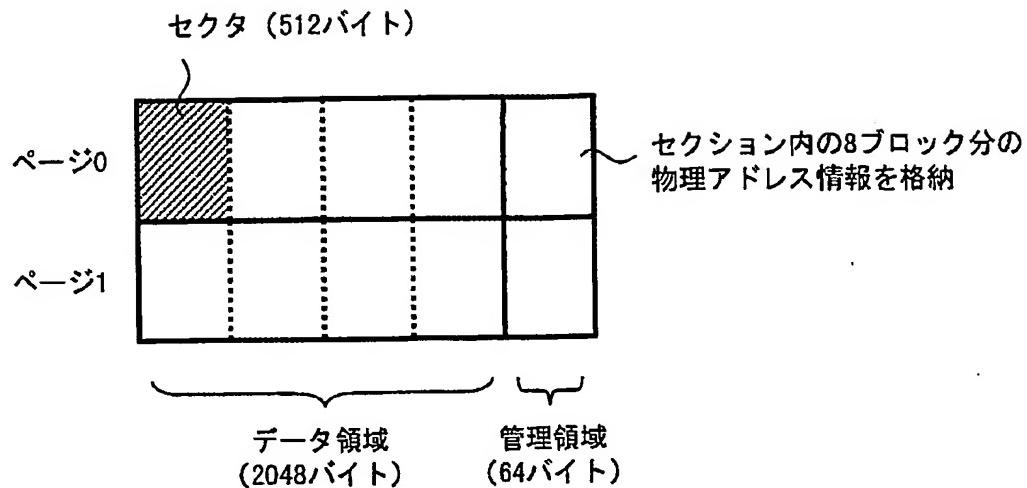
エントリーテーブル

物理ブロックNo.	物理ブロックNo.	物理ブロックNo.	物理ブロックNo.	物理ブロックNo.
0				

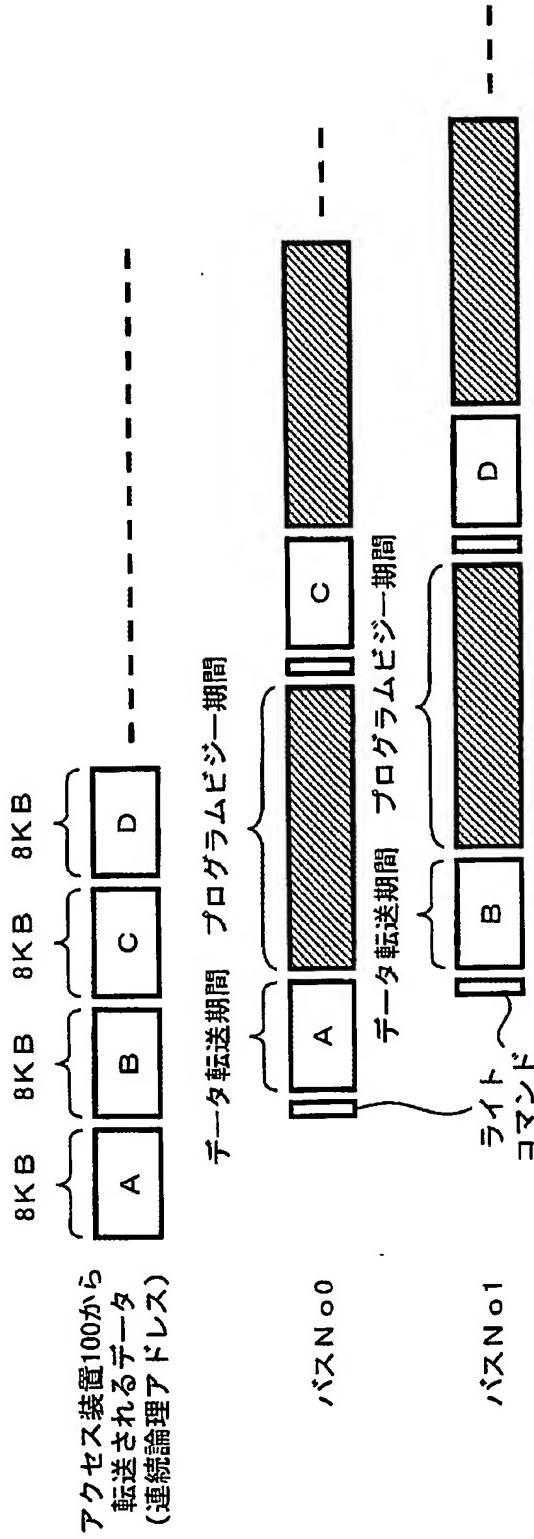
0 2047

00 : 有効ブロック  
11 : 無効ブロック  
10 : 不良ブロック

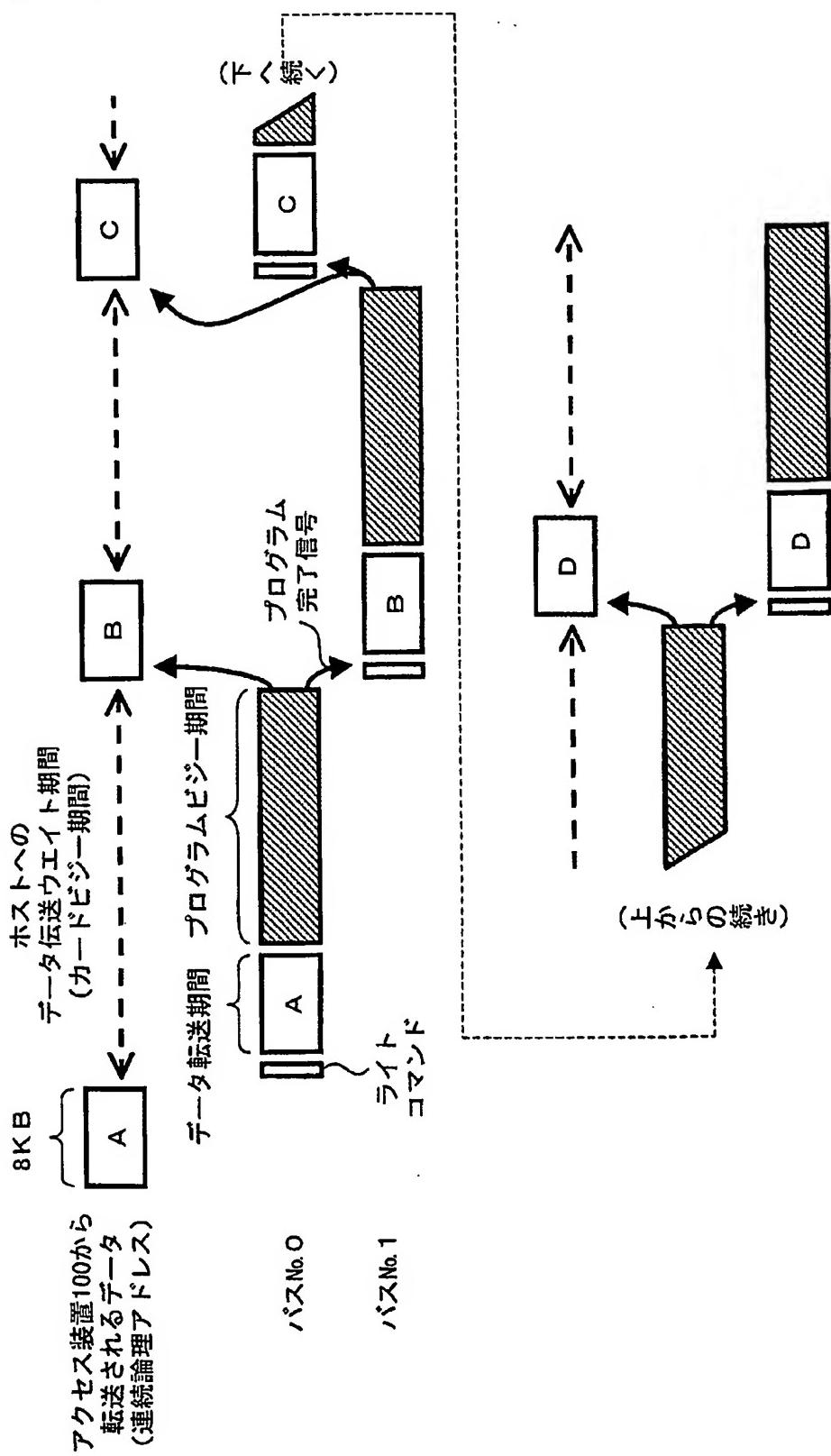
【図55】



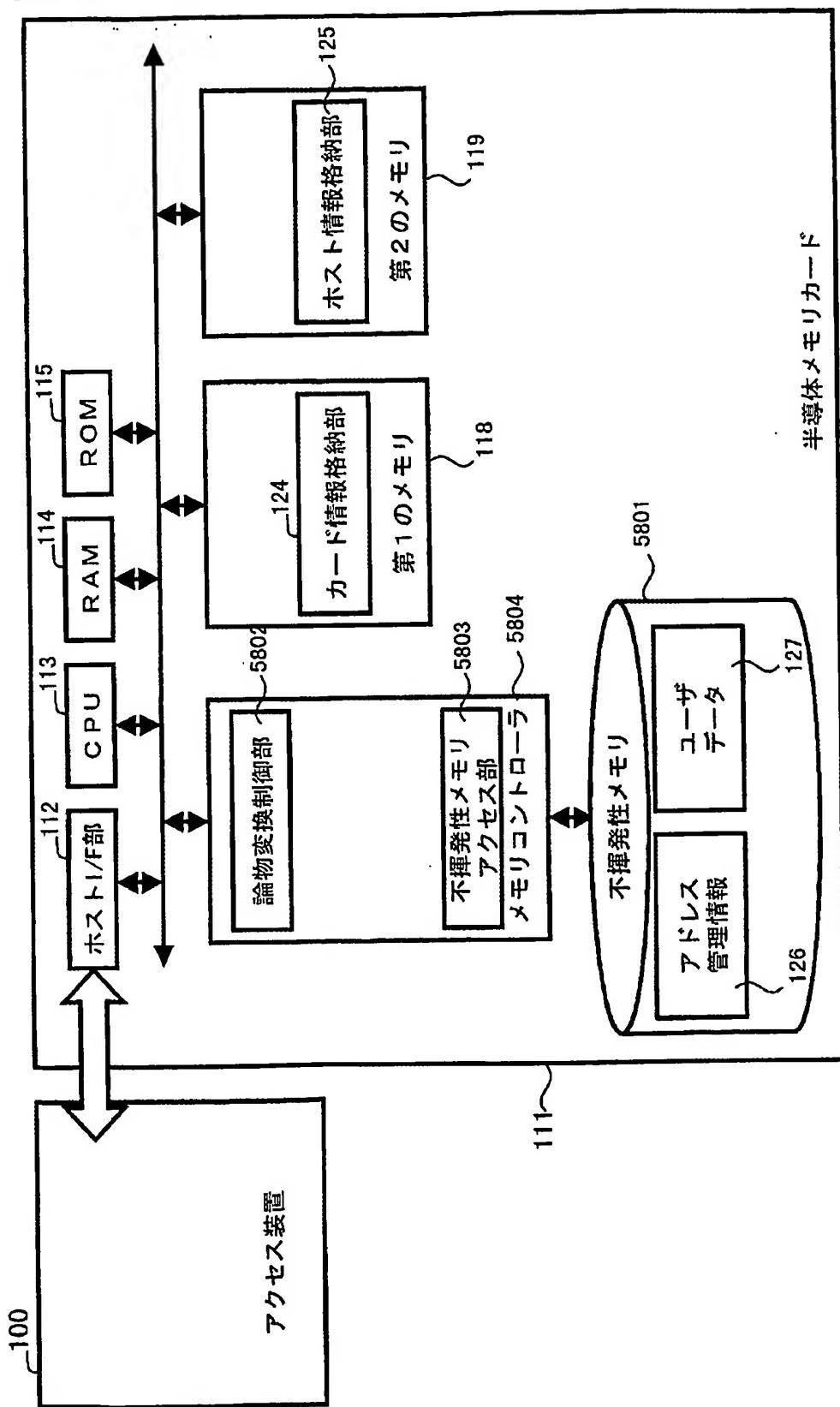
【図 56】



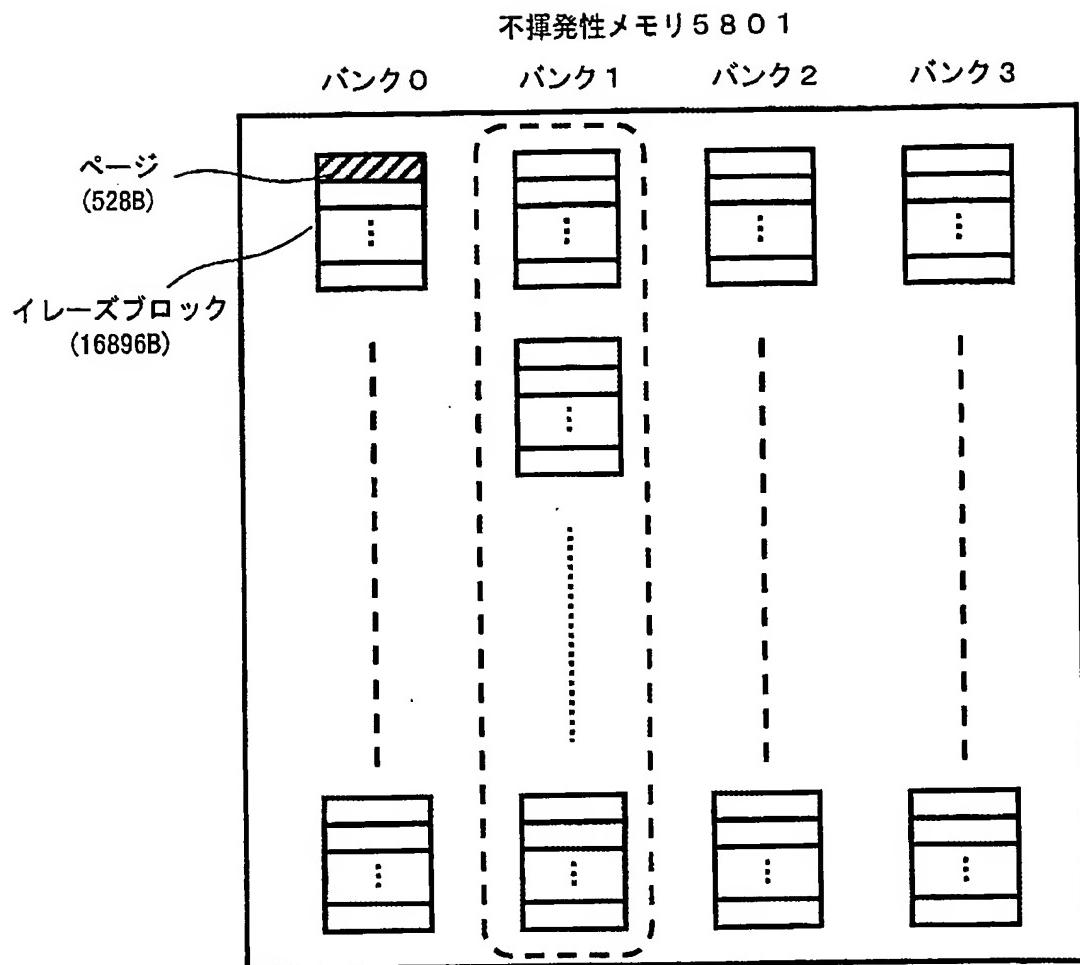
【図57】



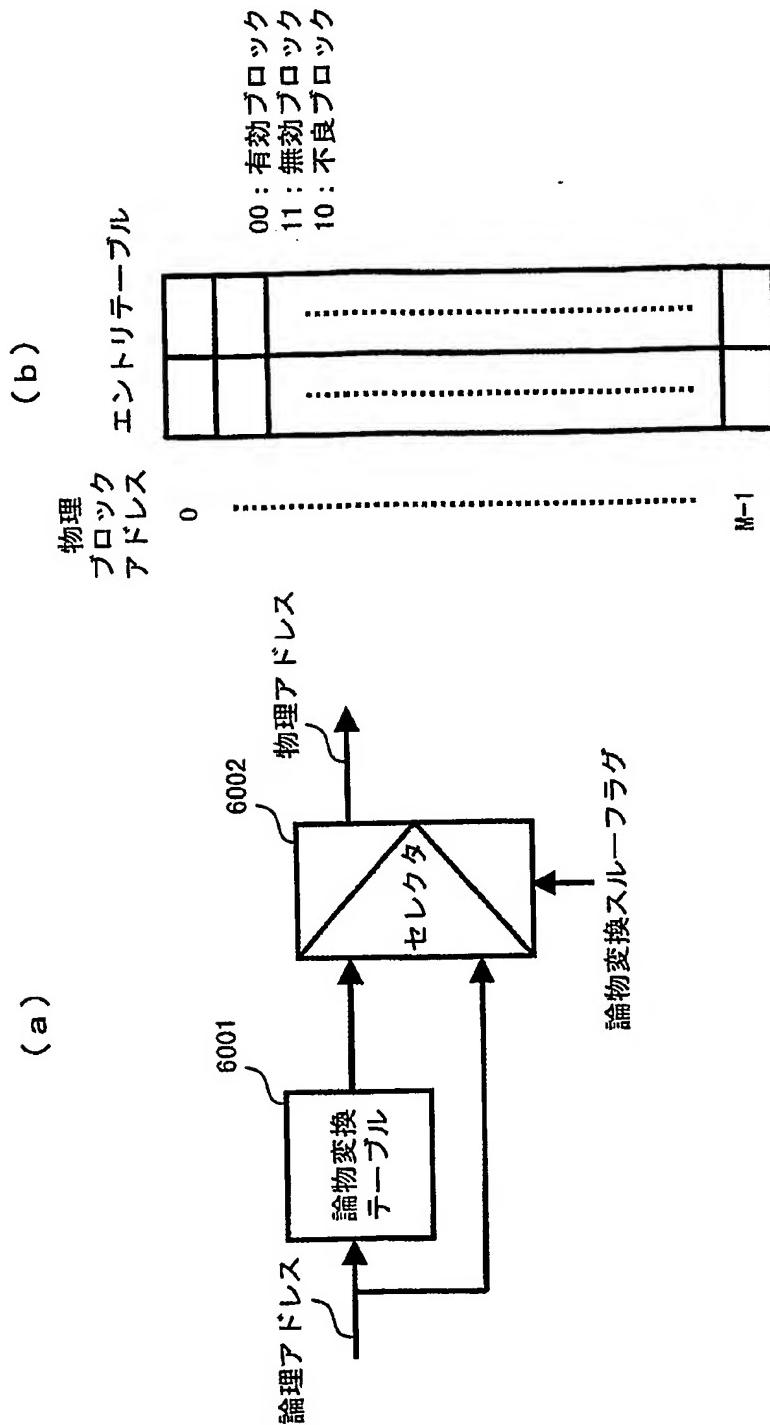
【図58】



【図 59】



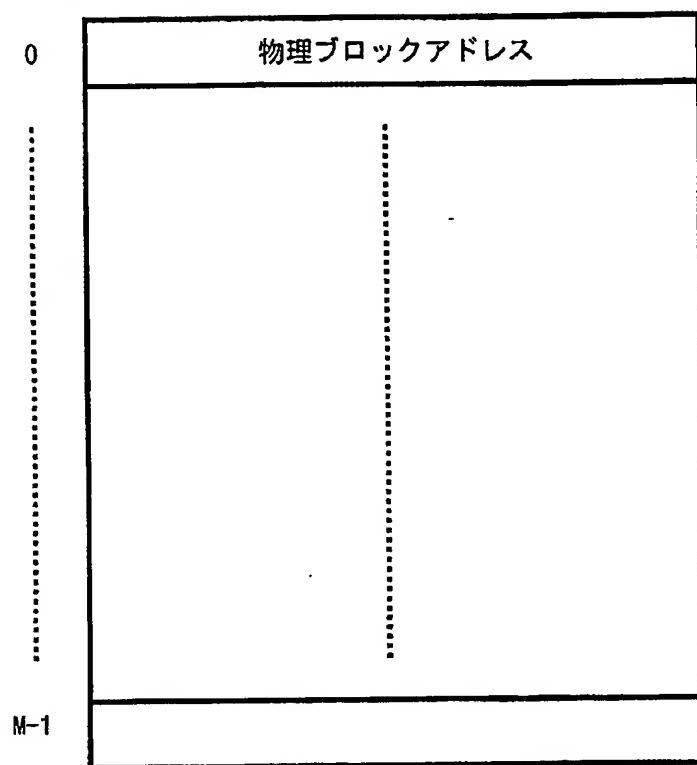
【図 60】



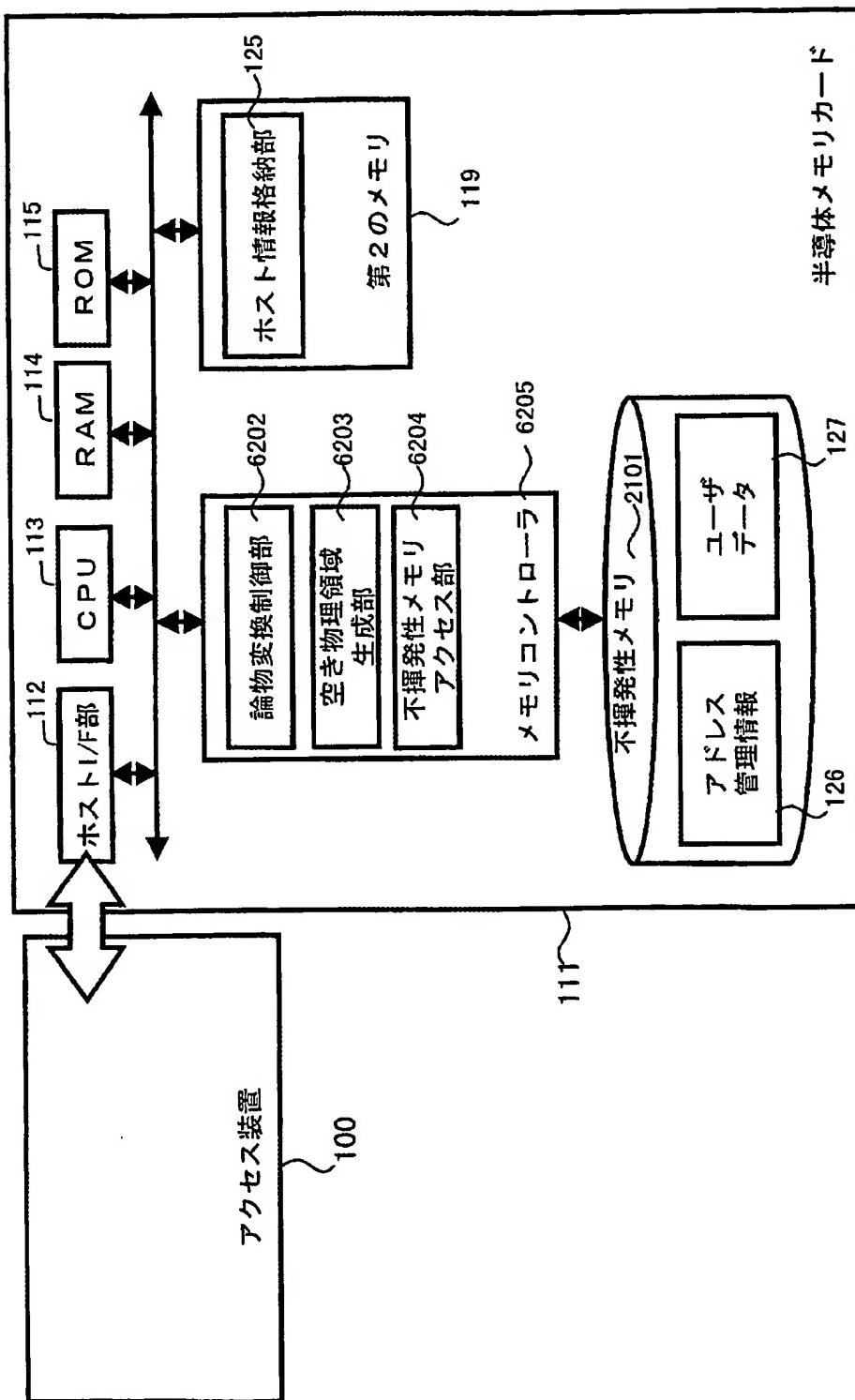
【図 6 1】

論理  
ブロック  
アドレス

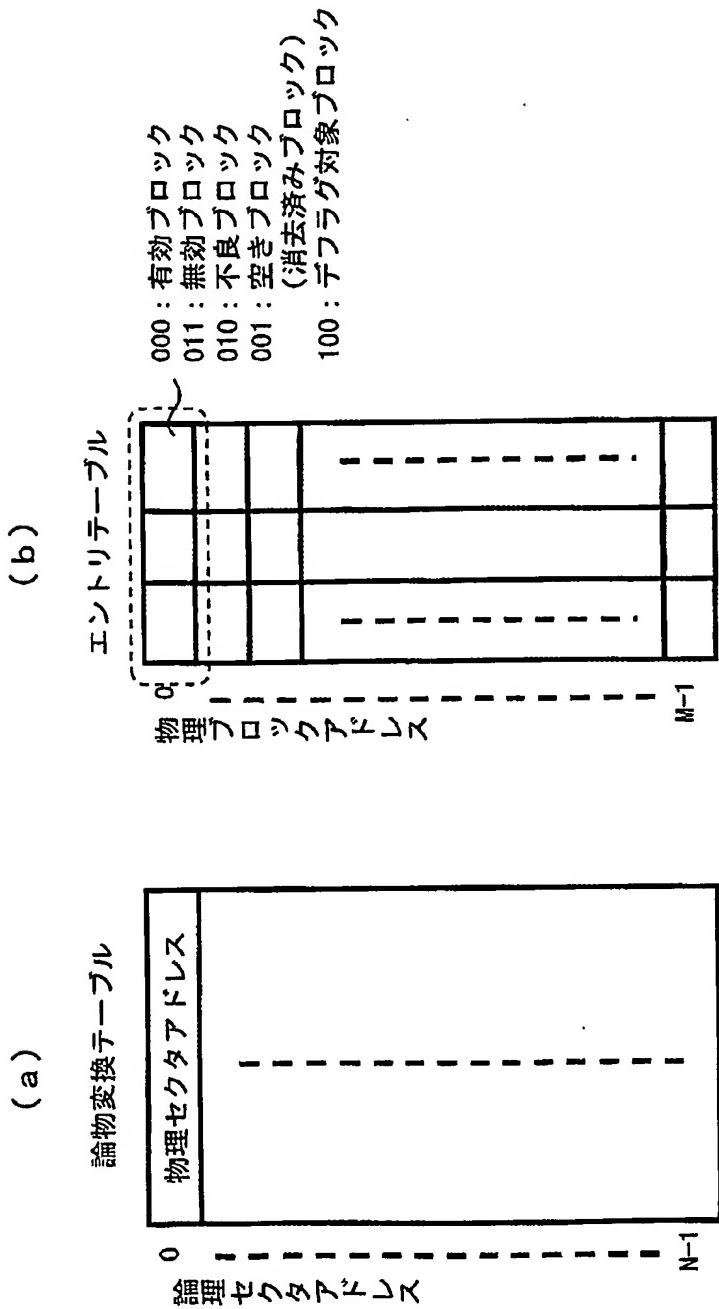
論物変換テーブル



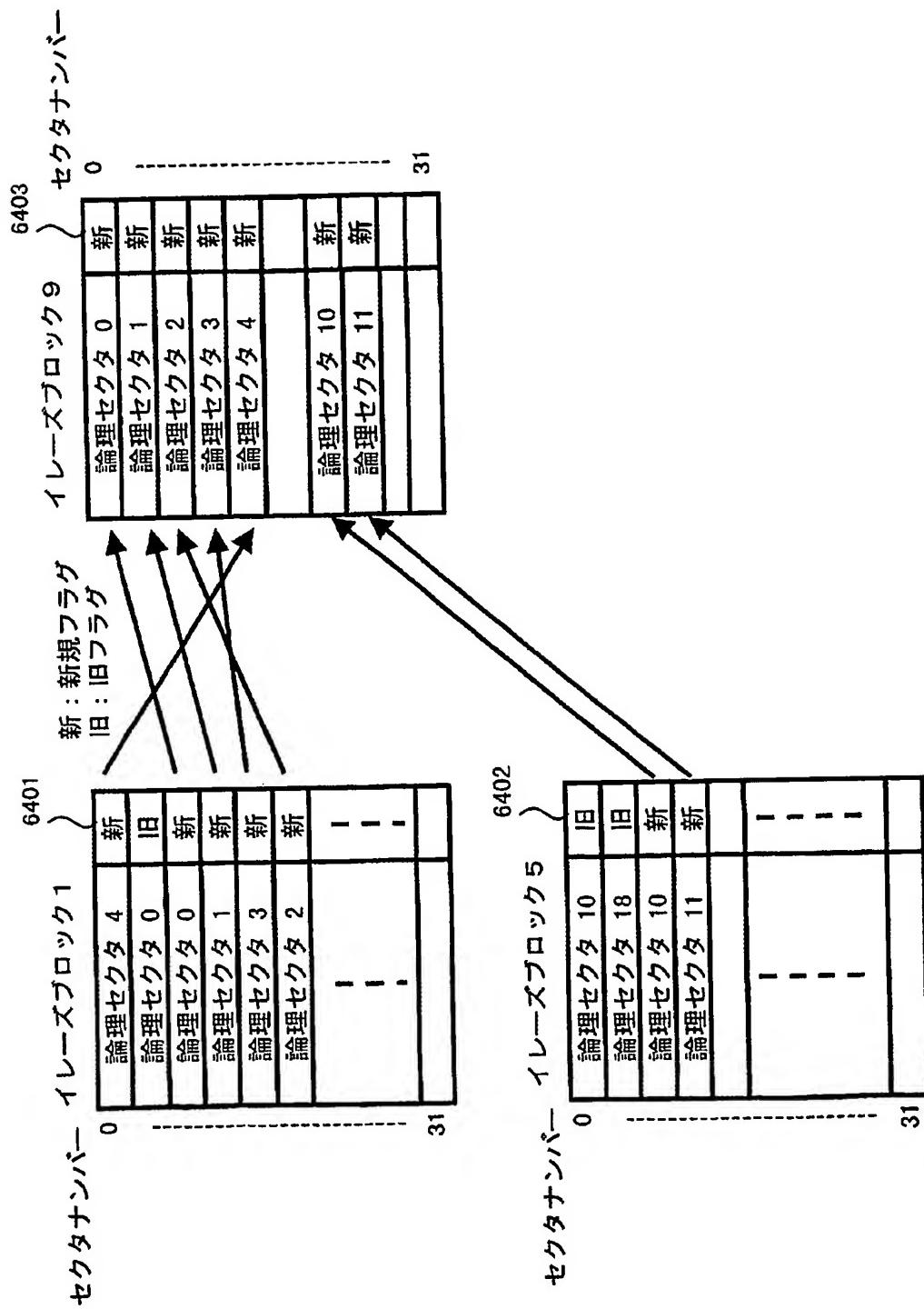
【図62】



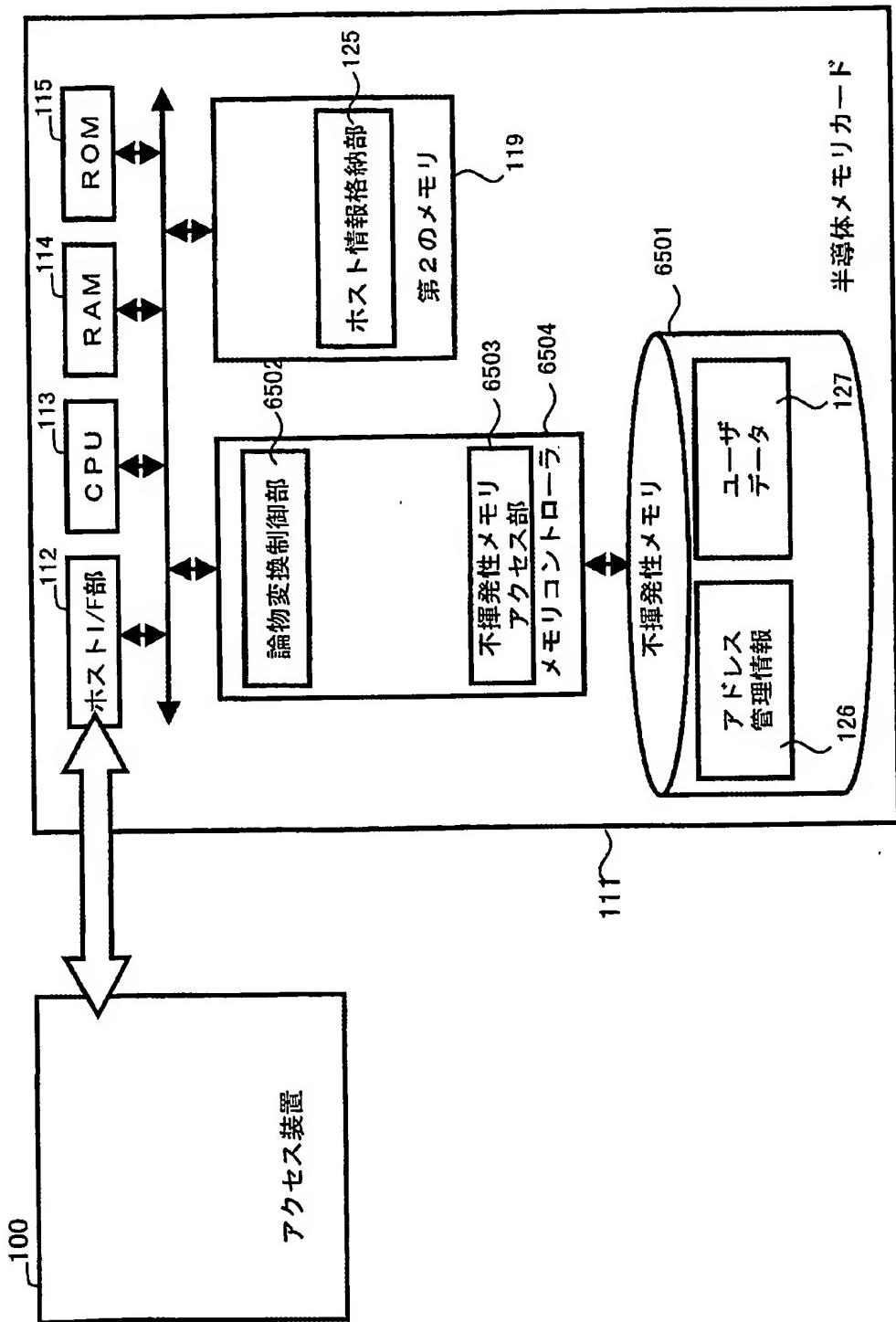
【図 6.3】



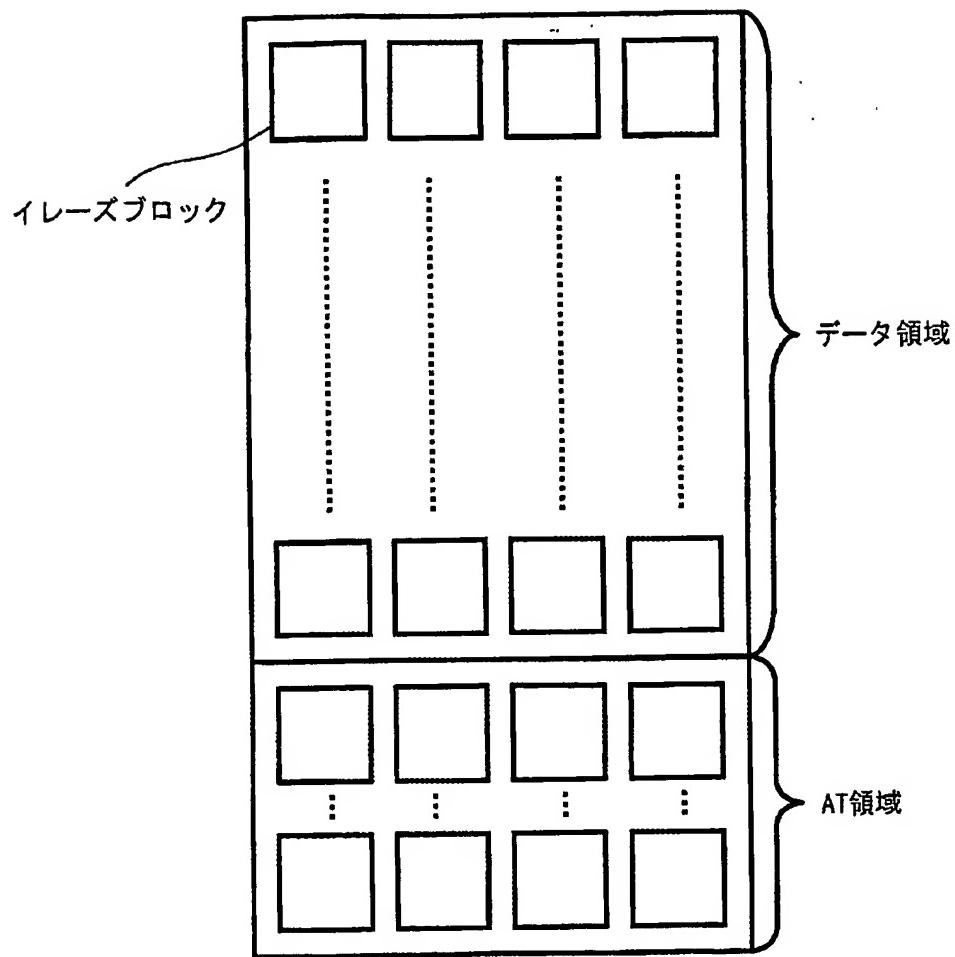
【図 64】



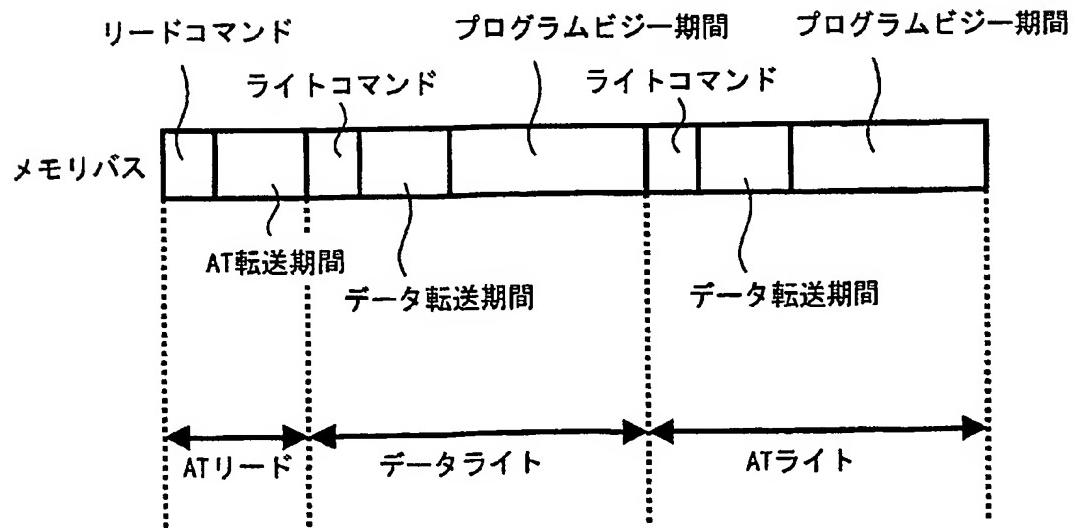
【図65】



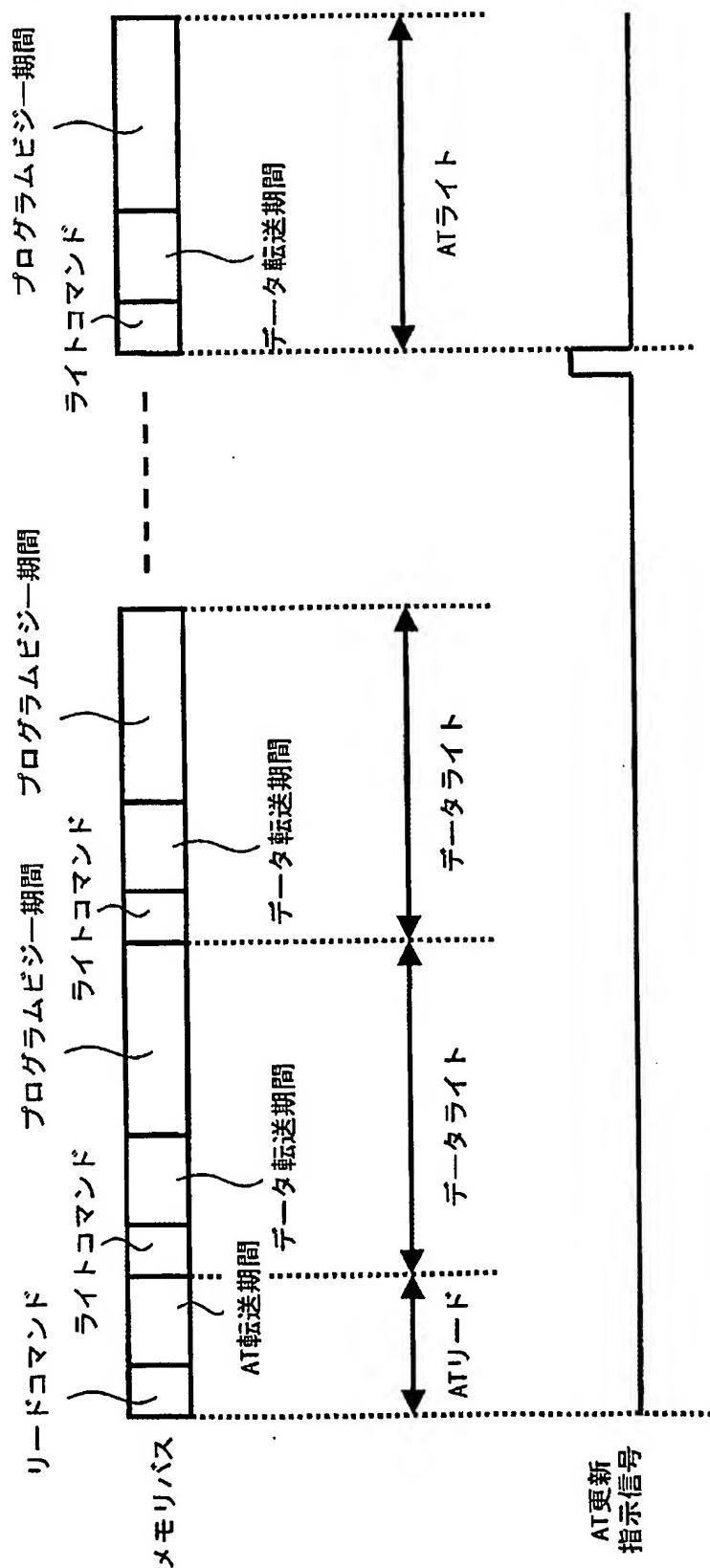
【図 6 6】



【図 6 7】



【図68】



【書類名】要約書

【要約】

【課題】使用する半導体メモリの特性や管理方法の違いによりアクセス条件やアクセス性能などの特性が異なる半導体メモリカードに対し、アクセス装置から高速にアクセスすること。

【解決手段】半導体メモリカード111内にカード情報格納部124を設け、半導体メモリカード111のアクセス条件やアクセス性能などの特性に関する情報を保持する。また、保持した情報をアクセス装置100が半導体メモリカード111から取得し、ファイルシステムの制御に使用できるようにする。これにより、アクセス装置100、半導体メモリカード111の処理を最適化し、半導体メモリカード111に対する高速アクセスを実現することができる。

【選択図】図1

特願 2003-325811

## 出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住所 大阪府門真市大字門真1006番地  
氏名 松下電器産業株式会社

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**